

ZYNQ7000 开发平台 用户手册

AX7350B 开发板

ALINX

一、 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

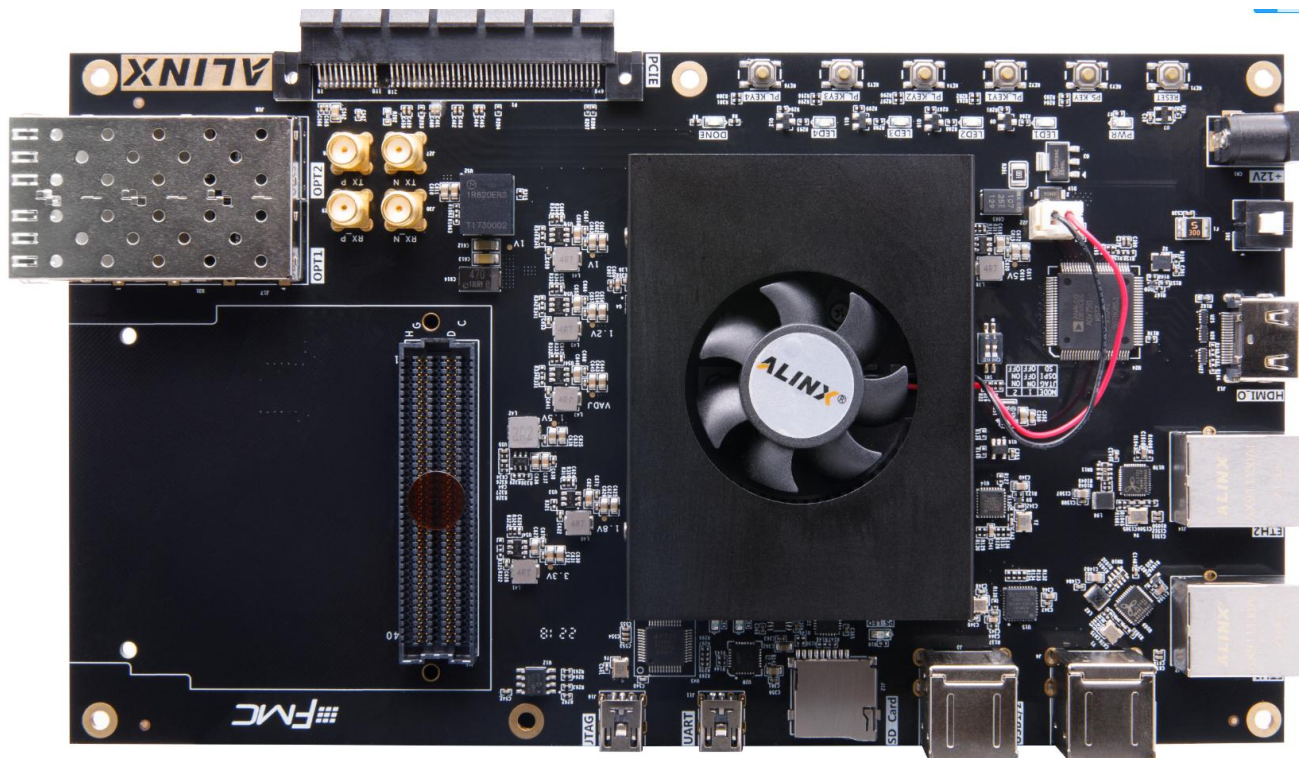
目 录

一、 文档版本控制.....	2
一、 开发板简介.....	5
二、 ZYNQ 芯片.....	8
三、 DDR3 DRAM.....	10
四、 QSPI Flash.....	16
五、 eMMC Flash.....	17
六、 时钟配置.....	18
七、 USB 转串口.....	21
八、 千兆以太网接口.....	22
九、 USB2.0 Host 接口.....	25
十、 HDMI 输出接口.....	26
十一、 光纤接口.....	28
十二、 PCIe 插槽.....	30
十三、 SD 卡槽.....	31
十四、 FMC 连接器.....	32
十五、 LED 灯.....	35
十六、 复位按键和用户按键.....	36
十七、 JTAG 调试口.....	37
十八、 拨码开关配置.....	38
十九、 电源.....	38
二十、 风扇.....	40
二十一、 结构尺寸图.....	41

芯驿电子科技（上海）有限公司 基于 XILINX ZYNQ7000 开发平台的开发板（型号：AX7350B）2022 款正式发布了正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 ZYNQ7000 FPGA 开发平台使用 XILINX 的 Zynq7000 SOC 芯片 XC7Z035 的解决方案，它采用 ARM+FPGA SOC 技术将双核 ARM Cortex-A9 和 FPGA 可编程逻辑集成在一颗芯片上。ZYNQ 的 PS 端和 PL 端各挂载了 2 片 512MB 的高速 DDR3 SDRAM 芯片，另外 PS 端有 1 片 8GB 的 eMMC 存储芯片和 1 片 256Mb 的 QSPI FLASH 芯片。

外围电路方面我们为用户扩展了丰富的接口，比如 1 个 PCIe4 接槽、2 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口，1 路 UART 串口接口、1 路 SD 卡接口、一个 FMC 扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 ZYNQ 开发的学生、工程师等群体。



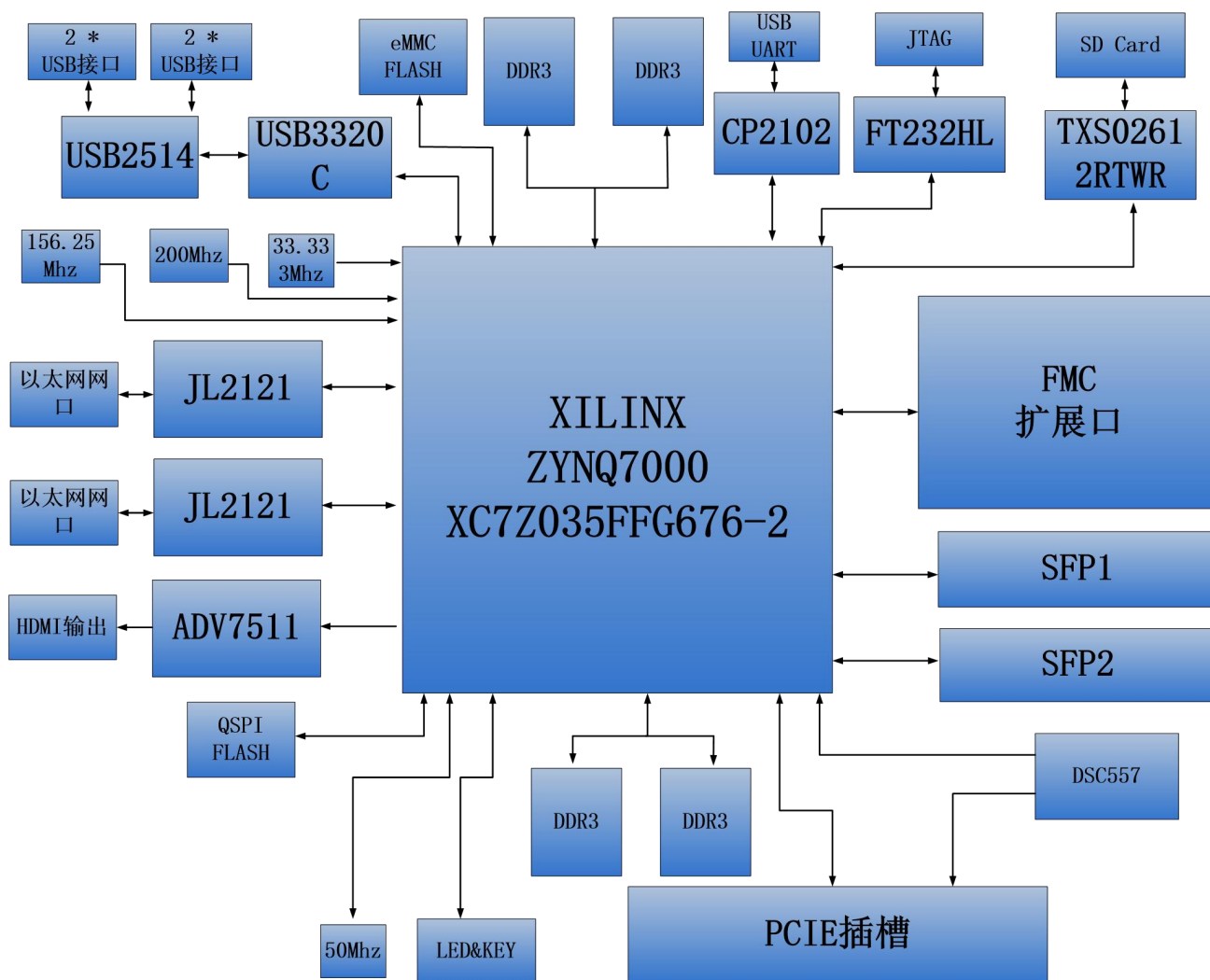
一、 开发板简介

在这里，对这款 AX7350B ZYNQ 开发平台进行简单的功能介绍。

开发板主要由 ZYNQ 7Z035 主芯片，4 个 DDR3，1 片 eMMC，1 个 QSPI FLASH 和一些外设接口组成。ZYNQ 7Z035 采用 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z035-2FFG676。ZYNQ7Z035 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。在 ZYNQ7350 芯片的 PS 端和 PL 端分别挂了 2 片 DDR3，每片 DDR3 容量高达 512M 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 8GB eMMC FLASH 存储芯片和 256Mb 的 QSPI FLASH 用来静态存储 ZYNQ 的操作系统、文件系统及用户数据。

AX7350B 开发板扩展了丰富的外围接口，其中包含 1 个 PCIe4 插槽、2 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输出接口，1 路 UART 串口接口、1 路 SD 卡接口、1 个 FMC 扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- Xilinx ARM+FPGA 芯片 Zynq-7000 XC7Z035-2FFG676。
- DDR3

带有四片大容量的 512M 字节（共 2GB）高速 DDR3 SDRAM。其中两片挂载在 PS 端，可作为 ZYNQ 芯片数据的缓存，也可以作为操作系统运行的内存；另外两片挂在 PL 端，可作为 FPGA 的数据存储，图像分析缓存，数据处理。

- eMMC

PS 端挂载一片 8GB eMMC FLASH 存储芯片，用户存储操作系统文件或者其他用户数据。

- QSPI FLASH

一片 256Mbit 的 QSPI FLASH 存储芯片，可用作 ZYNQ 芯片的 Uboot 文件，系统文件和用户数据的存储；

- PCIe 2.0 x4 接口

一路标准的 PCIe x8 的主机插槽用于 PCIe 2.0 x4 通信，可用于连接 PCIe 2.0 x4, x2, x1 的 PCIe 板卡，实现 PCIe 数据通信。支持 PCI Express 2.0 标准，单通道通信速率可高达 5GBaud。

- 2 路 SFP 光纤接口

ZYNQ 的 GTX 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用景略半导体的 JL2121 工业级 GPHY 芯片，1 路以太网连接到 ZYNQ 芯片的 PS 端，1 路以太网连接到 ZYNQ 芯片的 PL 端。

- HDMI 视频输出

1 路 HDMI 视频输出接口，我们选用了 ANALOG DEVICE 公司的 ADV7511 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- USB 2.0 HOST 接口

通过 USB Hub 芯片扩展 4 路 USB HOST 接口，用于连接外部的 USB 从设备，比如连接鼠标，键盘，U 盘等等。USB 接口采用扁型 USB 接口(USB Type A)。

- USB Uart 接口

2 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。1 路在核心板上，核心板独立工作是使用，1 路在底板上，整板调试时使用。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- FMC 扩展口

1 个标准的 FMC LPC 的扩展口,可以外接 XILINX 或者我们黑金的各种 FMC 模块(HDMI 输入输出模块, 双目摄像头模块, 高速 AD 模块等等)。FMC 扩展口包含 34 对差分 IO 信号和一路高速 GTX 收发信号。

- USB JTAG 口

一路 USB JTAG 口, 通过 USB 线及板载的 JTAG 电路对 ZYNQ 系统进行调试和下载

- 时钟

板载一个 33.333Mhz 的有源晶振, 给 PS 系统提供稳定的时钟源, 一个 50MHz 的有源晶振, 为 PL 逻辑提供额外的时钟; 另外板上有一个可编程的时钟芯片给 GTX 提供时钟源, 为 PCIE, 光纤和 DDR 工作提供参考时钟。

- LED 灯

9 个发光二极管 LED, 1 个电源指示灯; 1 个 DONE 配置指示灯; 2 个串口通信指示灯, 1 个 PS 控制 LED 灯, 4 个 PL 控制指示灯。

- 按键

6 个按键, 1 个复位按键, 1 个 PS 用户按键, 4 个 PL 用户按键。

二、 ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z035-2FFG676。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-1 所示

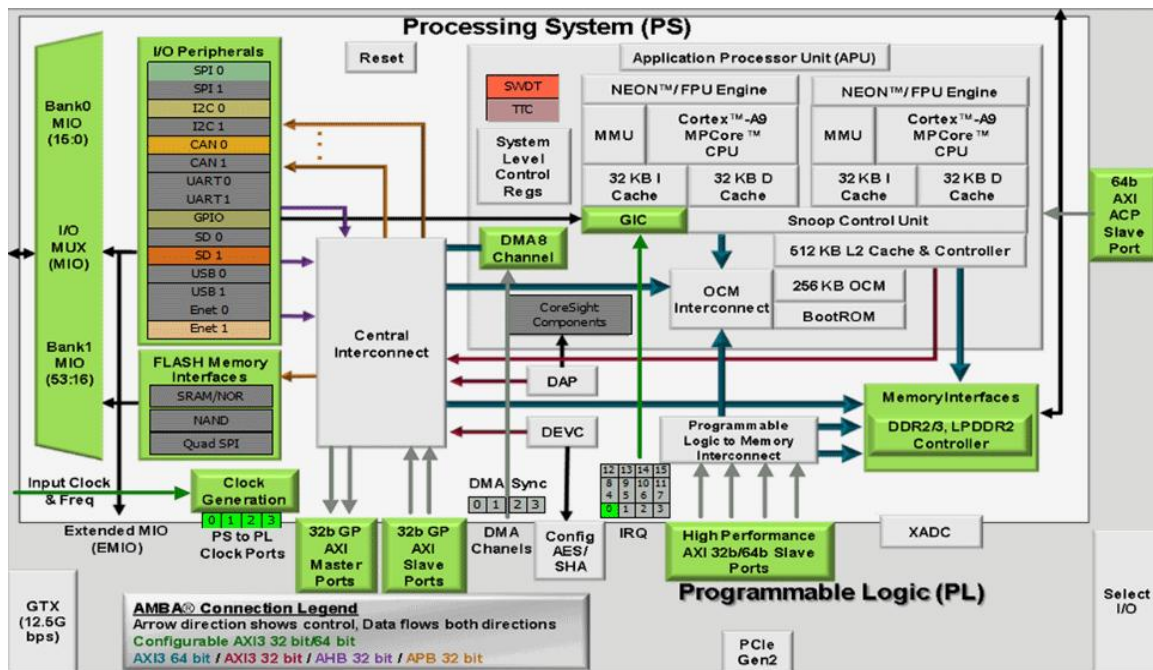


图2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 800MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 54 个多功能配置的 IO，可以软件配置成普通 IO 或者外设控制接口
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells: 275K;
- 查找表 LUTs: 171,900
- 触发器(flip-flops):343,800
- 乘法器 18x25MACCs: 900;
- Block RAM: 17.6Mb;
- 8 路高速 GTX 收发器, 支持 PCIE Gen2x8;
- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道, 1MBPS

XC7Z035-2FFG676I 芯片的速度等级为-2,工业级,封装为 FGG676,引脚间距为 1.0mm, ZYNQ7000 系列的具体的芯片型号定义如下图 2-2 所示。

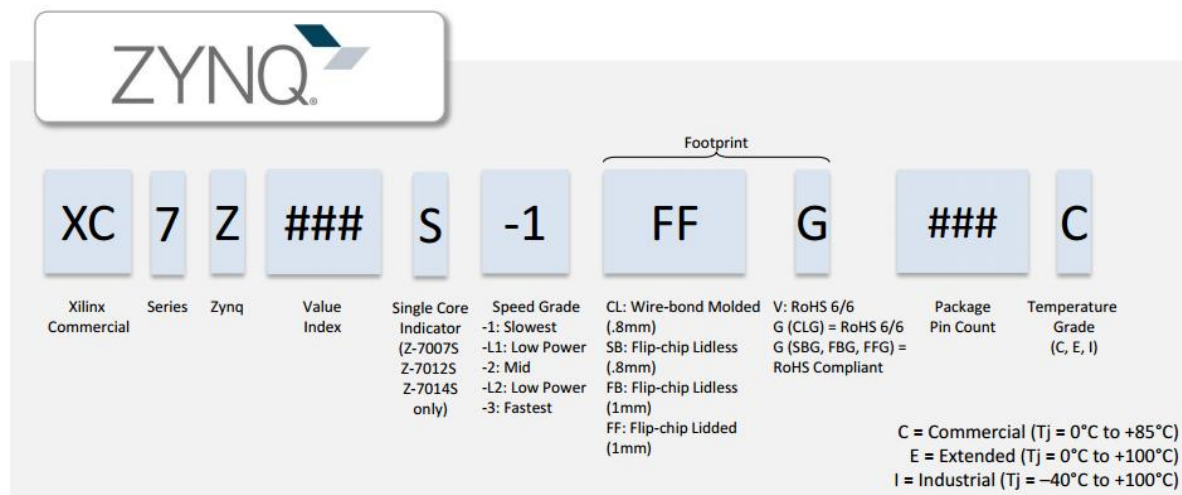


图2-2 ZYNQ型号命名规则定义

图 2-3 为开发板所用的 XC7Z035 芯片实物图。



图2-3 XC7Z035芯片实物

三、 DDR3 DRAM

AX7350B开发板上配有四片Micron(美光) 的512MB的DDR3芯片,型号为MT41J256M16HA-125(兼容MT41K256M16HA-125), 其中PS和PL端各挂载两片。两片DDR3 SDRAM组成32bit的总线宽度。PS端的DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps), 两片DDR3存储系统直接连接到了ZYNQ处理系统 (PS) 的BANK 502的存储器接口上。PL端的DDR3 SDRAM的最高运行速度可达800MHz(数据速率1600Mbps), 两片DDR3存储系统连接到了FPGA的BANK33, BANK34的接口上。DDR3 SDRAM的具体配置如下表3-1所示。

表3-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U4,U5,U7,U8	MT41J256M16HA-125	256M x 16bit	Micron

DDR3 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制, 走线等长控制, 保证 DDR3 的高速稳定的工作。

PS 端的 DDR3 DRAM 的硬件连接方式如图 3-1 所示:

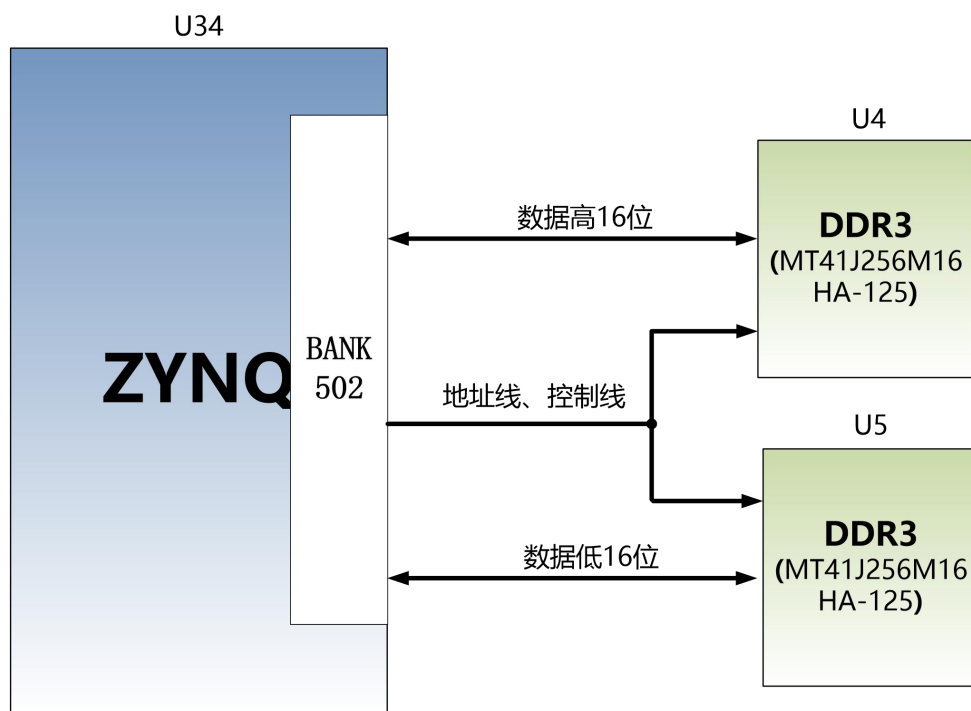
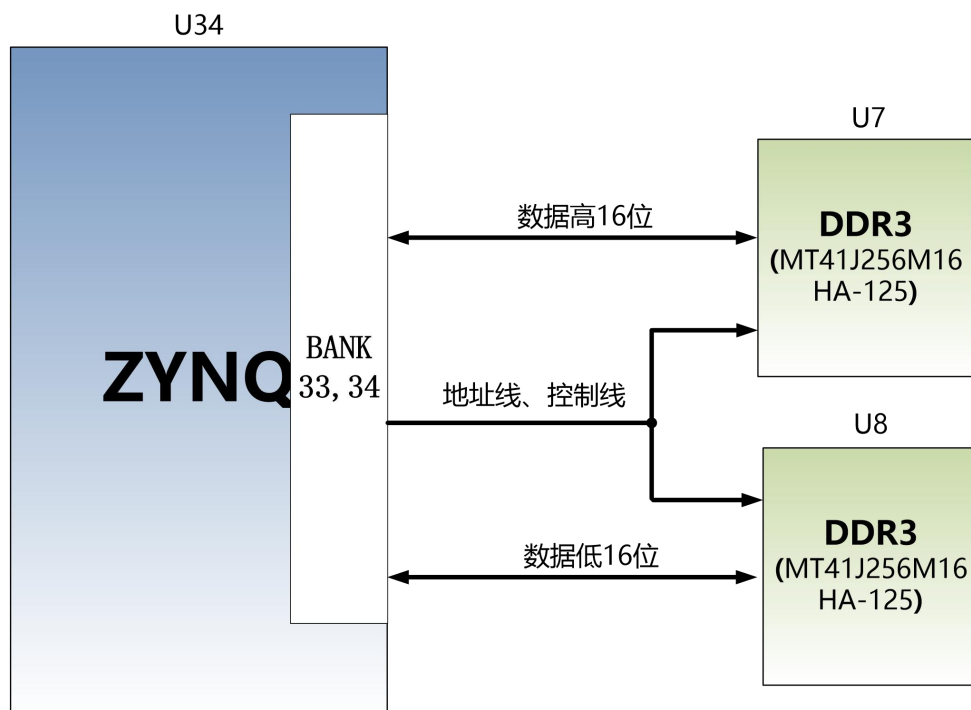


图3-1 DDR3 DRAM原理图部分

PL 端的 DDR3 DRAM 的硬件连接方式如图 3-2 所示:



PS 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PS_DDR3_DQS0_P	PS_DDR_DQS_P0_502	H24
PS_DDR3_DQS0_N	PS_DDR_DQS_N0_502	G25

PS_DDR3_DQS1_P	PS_DDR_DQS_P1_502	L24
PS_DDR3_DQS1_N	PS_DDR_DQS_N1_502	L25
PS_DDR3_DQS2_P	PS_DDR_DQS_P2_502	P25
PS_DDR3_DQS2_N	PS_DDR_DQS_N2_502	R25
PS_DDR3_DQS3_P	PS_DDR_DQS_P3_502	W24
PS_DDR3_DQS4_N	PS_DDR_DQS_N3_502	W25
PS_DDR3_D0	PS_DDR_DQ0_502	J26
PS_DDR3_D1	PS_DDR_DQ1_502	F25
PS_DDR3_D2	PS_DDR_DQ2_502	J25
PS_DDR3_D3	PS_DDR_DQ3_502	G26
PS_DDR3_D4	PS_DDR_DQ4_502	H26
PS_DDR3_D5	PS_DDR_DQ5_502	H23
PS_DDR3_D6	PS_DDR_DQ6_502	J24
PS_DDR3_D7	PS_DDR_DQ7_502	J23
PS_DDR3_D8	PS_DDR_DQ8_502	K26
PS_DDR3_D9	PS_DDR_DQ9_502	L23
PS_DDR3_D10	PS_DDR_DQ10_502	M26
PS_DDR3_D11	PS_DDR_DQ11_502	K23
PS_DDR3_D12	PS_DDR_DQ12_502	M25
PS_DDR3_D13	PS_DDR_DQ13_502	N24
PS_DDR3_D14	PS_DDR_DQ14_502	M24
PS_DDR3_D15	PS_DDR_DQ15_502	N23
PS_DDR3_D16	PS_DDR_DQ16_502	R26
PS_DDR3_D17	PS_DDR_DQ17_502	P24
PS_DDR3_D18	PS_DDR_DQ18_502	N26
PS_DDR3_D19	PS_DDR_DQ19_502	P23
PS_DDR3_D20	PS_DDR_DQ20_502	T24
PS_DDR3_D21	PS_DDR_DQ21_502	T25
PS_DDR3_D22	PS_DDR_DQ22_502	T23
PS_DDR3_D23	PS_DDR_DQ23_502	R23
PS_DDR3_D24	PS_DDR_DQ24_502	V24
PS_DDR3_D25	PS_DDR_DQ25_502	U26

PS_DDR3_D26	PS_DDR_DQ26_502	U24
PS_DDR3_D27	PS_DDR_DQ27_502	U25
PS_DDR3_D28	PS_DDR_DQ28_502	W26
PS_DDR3_D29	PS_DDR_DQ29_502	Y25
PS_DDR3_D30	PS_DDR_DQ30_502	Y26
PS_DDR3_D31	PS_DDR_DQ31_502	W23
PS_DDR3_DM0	PS_DDR_DM0_502	G24
PS_DDR3_DM1	PS_DDR_DM1_502	K25
PS_DDR3_DM2	PS_DDR_DM2_502	P26
PS_DDR3_DM3	PS_DDR_DM3_502	V26
PS_DDR3_A0	PS_DDR_A0_502	K22
PS_DDR3_A1	PS_DDR_A1_502	K20
PS_DDR3_A2	PS_DDR_A2_502	N21
PS_DDR3_A3	PS_DDR_A3_502	L22
PS_DDR3_A4	PS_DDR_A4_502	M20
PS_DDR3_A5	PS_DDR_A5_502	N22
PS_DDR3_A6	PS_DDR_A6_502	L20
PS_DDR3_A7	PS_DDR_A7_502	J21
PS_DDR3_A8	PS_DDR_A8_502	T20
PS_DDR3_A9	PS_DDR_A9_502	U20
PS_DDR3_A10	PS_DDR_A10_502	M22
PS_DDR3_A11	PS_DDR_A11_502	H21
PS_DDR3_A12	PS_DDR_A12_502	P20
PS_DDR3_A13	PS_DDR_A13_502	J20
PS_DDR3_A14	PS_DDR_A14_502	R20
PS_DDR3_BA0	PS_DDR_BA0_502	U22
PS_DDR3_BA1	PS_DDR_BA1_502	T22
PS_DDR3_BA2	PS_DDR_BA2_502	R22
PS_DDR3_S0	PS_DDR_CS_B_502	Y21
PS_DDR3_RAS	PS_DDR_RAS_B_502	V23
PS_DDR3_CAS	PS_DDR_CAS_B_502	Y23
PS_DDR3_WE	PS_DDR_WE_B_502	V22

PS_DDR3_ODT	PS_DDR_ODT_502	Y22
PS_DDR3_RESET	PS_DDR_DRST_B_502	H22
PS_DDR3_CLK0_P	PS_DDR_CKP_502	R21
PS_DDR3_CLK0_N	PS_DDR_CKN_502	P21
PS_DDR3_CKE	PS_DDR_CKE_502	U21

PL 端 DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
PL_DDR3_DQS0_P	IO_L3P_T0_DQS_33	G2
PL_DDR3_DQS0_N	IO_L3N_T0_DQS_33	F2
PL_DDR3_DQS1_P	IO_L9P_T1_DQS_33	K2
PL_DDR3_DQS1_N	IO_L9N_T1_DQS_33	K1
PL_DDR3_DQS2_P	IO_L15P_T2_DQS_33	N3
PL_DDR3_DQS2_N	IO_L15N_T2_DQS_33	N2
PL_DDR3_DQS3_P	IO_L21P_T3_DQS_33	M8
PL_DDR3_DQS4_N	IO_L21N_T3_DQS_33	L8
PL_DDR3_D0	IO_L5N_T0_33	E1
PL_DDR3_D1	IO_L1N_T0_33	F4
PL_DDR3_D2	IO_L4P_T0_33	D1
PL_DDR3_D3	IO_L1P_T0_33	G4
PL_DDR3_D4	IO_L2N_T0_33	D3
PL_DDR3_D5	IO_L5P_T0_33	E2
PL_DDR3_D6	IO_L2P_T0_33	D4
PL_DDR3_D7	IO_L4N_T0_33	C1
PL_DDR3_D8	IO_L7N_T1_33	H1
PL_DDR3_D9	IO_L10N_T1_33	G1
PL_DDR3_D10	IO_L7P_T1_33	J1
PL_DDR3_D11	IO_L8N_T1_33	H3
PL_DDR3_D12	IO_L11N_T1_SRCC_33	K3
PL_DDR3_D13	IO_L8P_T1_33	H4
PL_DDR3_D14	IO_L11P_T1_SRCC_33	L3
PL_DDR3_D15	IO_L10P_T1_33	H2

PL_DDR3_D16	IO_L18P_T2_33	N1
PL_DDR3_D17	IO_L14P_T2_SRCC_33	L5
PL_DDR3_D18	IO_L14N_T2_SRCC_33	L4
PL_DDR3_D19	IO_L13P_T2_MRCC_33	M6
PL_DDR3_D20	IO_L16P_T2_33	M2
PL_DDR3_D21	IO_L17P_T2_33	N4
PL_DDR3_D22	IO_L16N_T2_33	L2
PL_DDR3_D23	IO_L17N_T2_33	M4
PL_DDR3_D24	IO_L23P_T3_33	N7
PL_DDR3_D25	IO_L22N_T3_33	J6
PL_DDR3_D26	IO_L19P_T3_33	M7
PL_DDR3_D27	IO_L20N_T3_33	J5
PL_DDR3_D28	IO_L24P_T3_33	K8
PL_DDR3_D29	IO_L20P_T3_33	K5
PL_DDR3_D30	IO_L24N_T3_33	K7
PL_DDR3_D31	IO_L22P_T3_33	K6
PL_DDR3_DM0	IO_L6P_T0_33	F3
PL_DDR3_DM1	IO_L12P_T1_MRCC_33	J4
PL_DDR3_DM2	IO_L13N_T2_MRCC_33	M5
PL_DDR3_DM3	IO_L23N_T3_33	N6
PL_DDR3_A0	IO_L17N_T2_34	A8
PL_DDR3_A1	IO_L23P_T3_34	C2
PL_DDR3_A2	IO_L14P_T2_SRCC_34	D6
PL_DDR3_A3	IO_L15N_T2_DQS_34	B9
PL_DDR3_A4	IO_L10N_T1_34	D5
PL_DDR3_A5	IO_L17P_T2_34	A9
PL_DDR3_A6	IO_L11N_T1_SRCC_34	E7
PL_DDR3_A7	IO_L15P_T2_DQS_34	C9
PL_DDR3_A8	IO_L12N_T1_MRCC_34	F7
PL_DDR3_A9	IO_L18N_T2_34	A7
PL_DDR3_A10	IO_L24N_T3_34	A2
PL_DDR3_A11	IO_L11P_T1_SRCC_34	F8

PL_DDR3_A12	IO_L23N_T3_34	B1
PL_DDR3_A13	IO_L16P_T2_34	B10
PL_DDR3_A14	IO_L12P_T1_MRCC_34	G7
PL_DDR3_BA0	IO_L18P_T2_34	B7
PL_DDR3_BA1	IO_L19N_T3_VREF_34	C3
PL_DDR3_BA2	IO_L22N_T3_34	A3
PL_DDR3_S0	IO_L14N_T2_SRCC_34	C6
PL_DDR3_RAS	IO_L19P_T3_34	C4
PL_DDR3_CAS	IO_L20N_T3_34	B4
PL_DDR3_WE	IO_L20P_T3_34	B5
PL_DDR3_ODT	IO_L22P_T3_34	A4
PL_DDR3_RESET	IO_L16N_T2_34	A10
PL_DDR3_CLK0_P	IO_L21P_T3_DQS_34	B6
PL_DDR3_CLK0_N	IO_L21N_T3_DQS_34	A5
PL_DDR3_CKE	IO_L24P_T3_34	B2

四、 QSPI Flash

开发板配有一片 256MBit 大小的 Quad-SPI FLASH 芯片, 型号为 W25Q256FVEI, 它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 4-1。

位号	芯片类型	容量	厂家
U7	W25Q256FVEI	32M Byte	Winbond

表4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

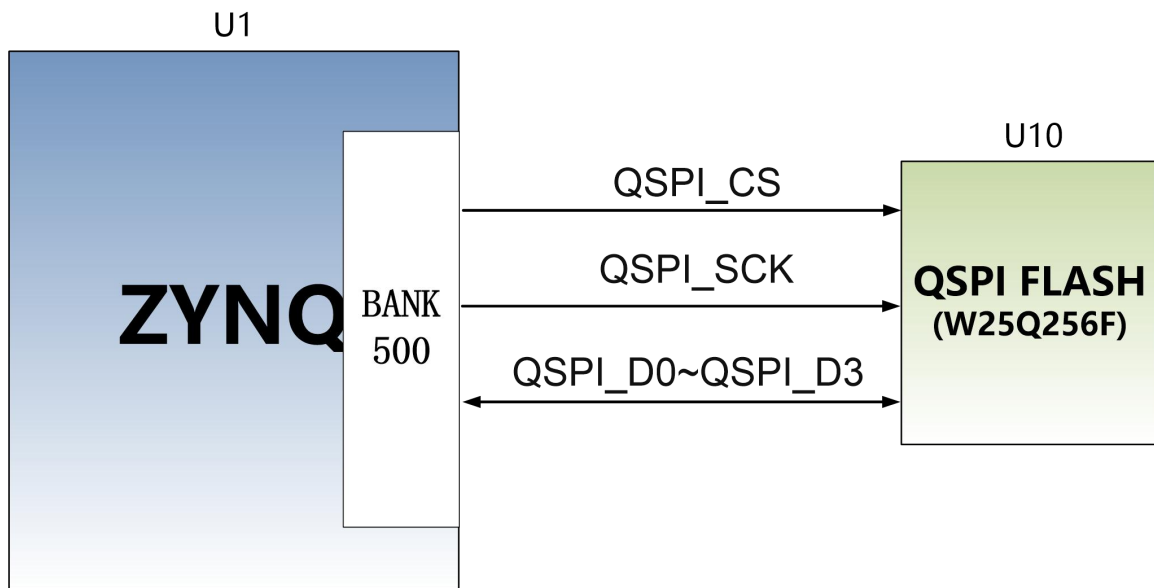


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPI_SCK	PS_MIO6_500	F23
QSPI_CS	PS_MIO1_500	D26
QSPI_D0	PS_MIO2_500	E25
QSPI_D1	PS_MIO3_500	D25
QSPI_D2	PS_MIO4_500	F24
QSPI_D3	PS_MIO5_500	C26

五、 eMMC Flash

开发板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 5-1。

位号	芯片类型	容量	厂家
U11	THGBMFG6C1LBAIL	8G Byte	TOSHIBA

表5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 5-1 为 eMMC Flash 在原理图中的部分。

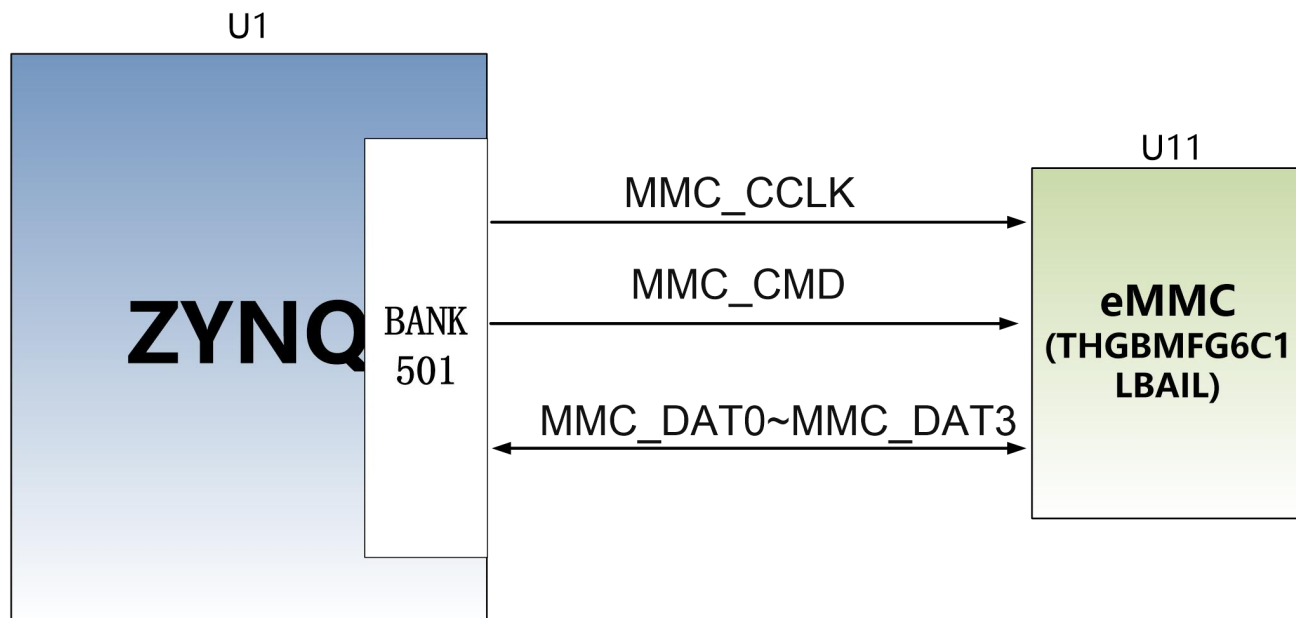


图 5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	B21
MMC_CMD	PS_MIO47_501	B19
MMC_D0	PS_MIO46_501	E17
MMC_D1	PS_MIO49_501	A18
MMC_D2	PS_MIO50_501	B22
MMC_D3	PS_MIO51_501	B20

六、 时钟配置

AX7350B 开发板上分别为 PS 系统, PL 逻辑部分, PL 的收发器提供了有源时钟, 使 PS 系统和 PL 逻辑可以单独工作。

PS 系统时钟源

ZYNQ 芯片通过开发板上的 X4 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 6-1 所示:

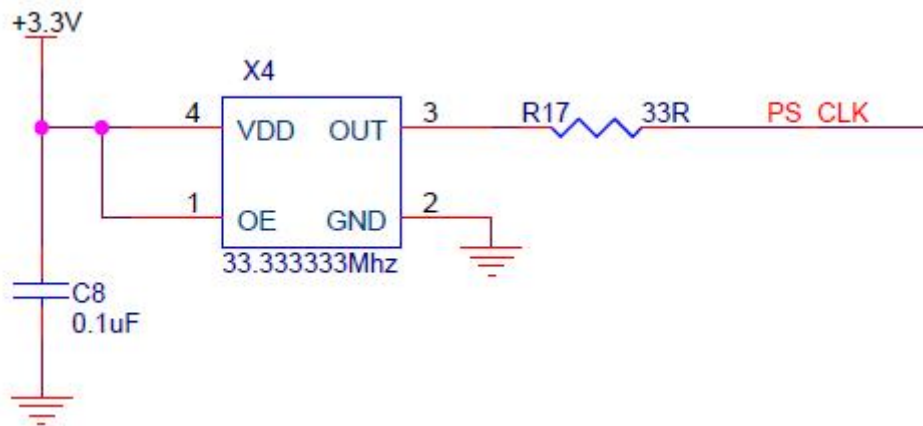


图 6-1 PS 部分的有源晶振

时钟引脚分配:

信号名称	ZYNQ 引脚
PS_CLK	B24

PL 系统时钟源

板上提供了一个单端 50MHz 的 PL 系统时钟源，1.8V 供电。晶振输出连接到 FPGA BANK35 的全局时钟(MRCC)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路。该时钟源的原理图如图 6-3 所示

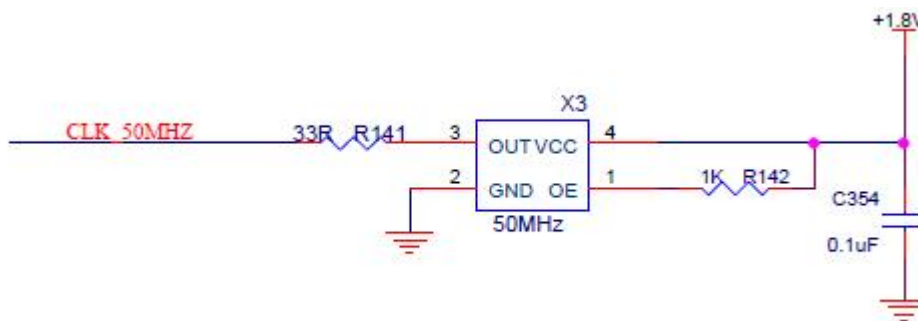


图 6-3 PL系统时钟源

PL 时钟引脚分配:

信号名称	ZYNQ 引脚
CLK_50MHZ	J14

DDR 参考时钟

一路 200Mhz 的差分晶振提供给 BANK34，作为 PL 的 DDR 控制器的参考时钟；

SYSTEM CLOCK

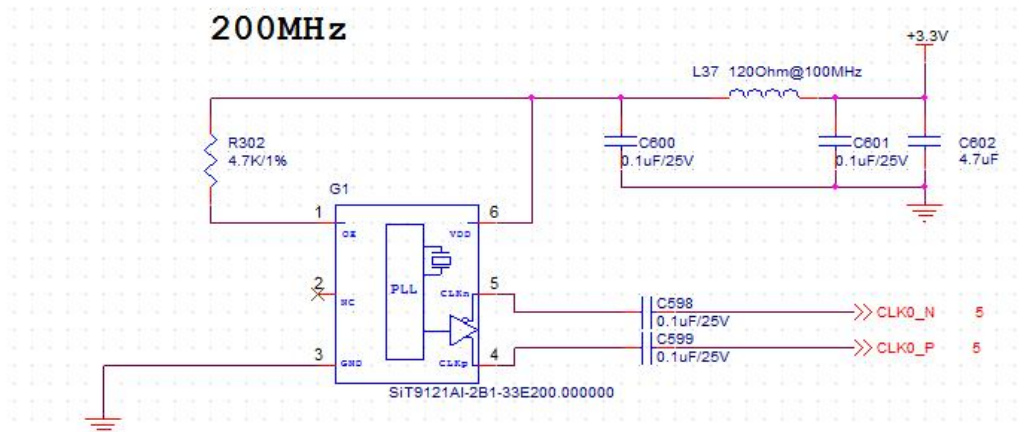


图 6-5 200Mhz时钟参考源

PL 时钟引脚分配:

信号名称	ZYNQ 引脚
CLK0_P	C8
CLK0_N	C7

收发器参考时钟

一路 156Mhz 的差分晶振提供给 BANK111, 作为 GTX 收发器的 SPF 的参考时钟; 另外通过 DSC557-0334FI1 芯片产生 2 路 100Mhz 的差分参考时钟分别提供给 BANK112 和 PCIE SOCKET。参考电路设计的示意图如下图所示:

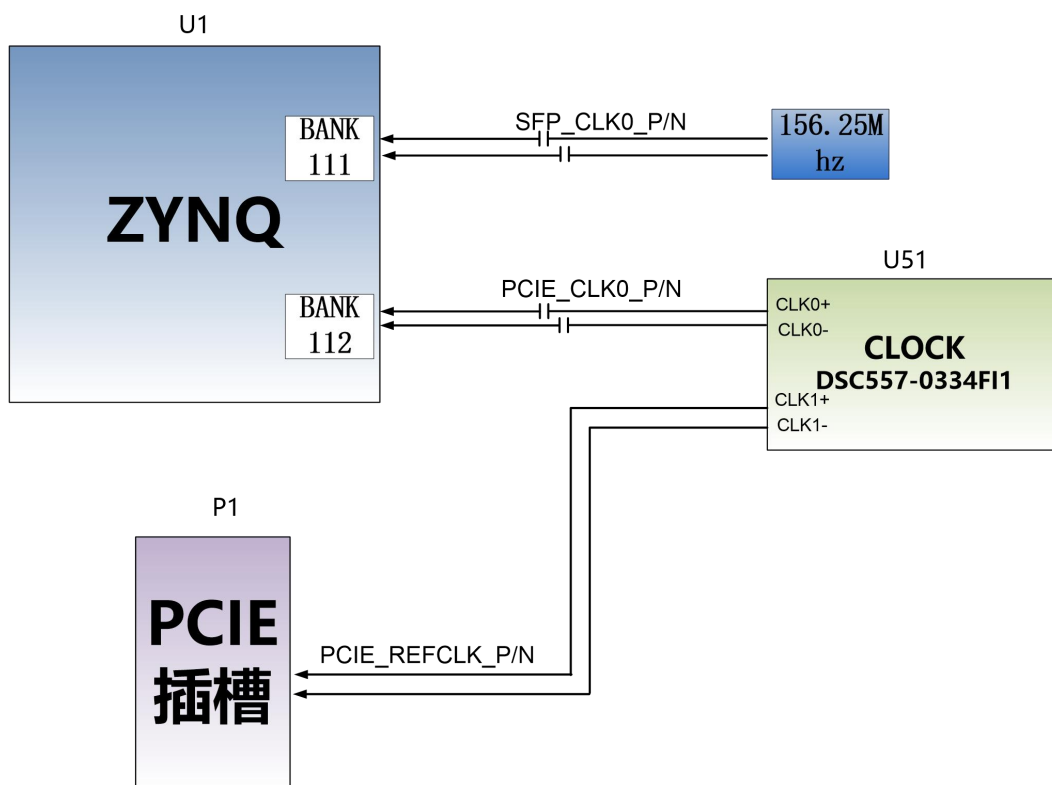


图 6-6 可编程时钟源

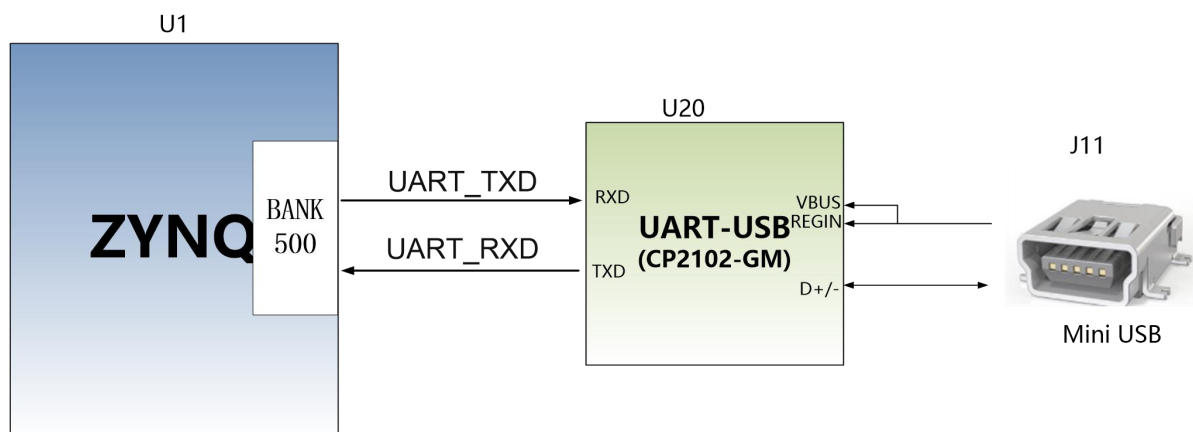
可编程时钟源 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚
PCIE_CLK0_P	R6
PCIE_CLK0_N	R5
SFP_CLK0_C_P	AA6
SFP_CLK0_C_N	AA5

七、 USB 转串口

开发板上配备了一个 Uart 转 USB 接口，用于核心板单独供电和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



7-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
UART_RXD	PS_MIO13_500	B25	Uart数据输入
UART_TXD	PS_MIO12_500	A23	Uart数据输出

八、 千兆以太网接口

AX7350B 开发板上有 2 路千兆以太网接口，其中 1 路以太网接口是连接的 PS 系统端，另外 1 路以太网接口是连接到 PL 的逻辑 IO 口上。连接到 PL 端的千兆以太网接口需要通过程序调用 IP 挂载到 ZYNQ 的 AXI 总线系统上。

以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK501 的 GPIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK35 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 8-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时

RXD0_RXDLY	RX 时钟 2ns 延时	延时
------------	--------------	----

表 8-1 PHY 芯片默认配置值

当网络连接到千兆以太网时, ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz, 数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 8-1 为 ZYNQ PS 端 1 路以太网 PHY 芯片连接示意图:

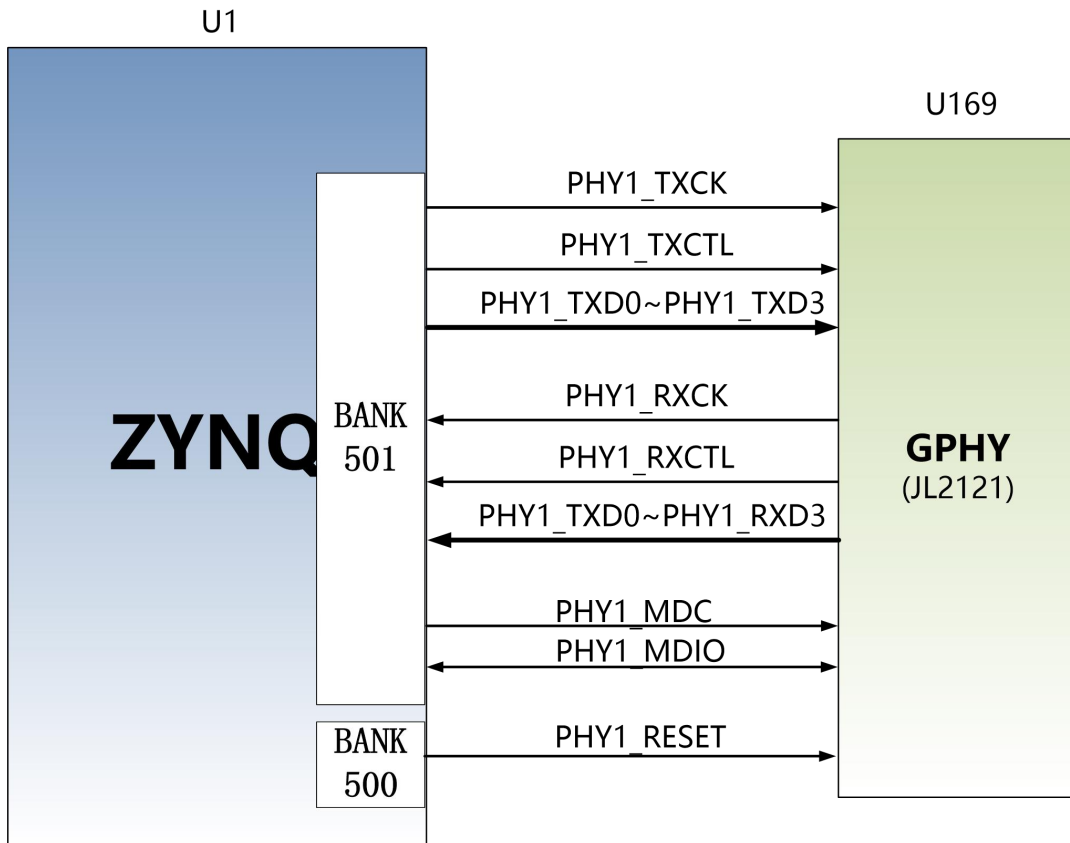


图 8-1 ZYNQ PS 系统与 GPHY 连接示意图

图 8-2 为 ZYNQ PL 端 1 路以太网 PHY 芯片连接示意图:

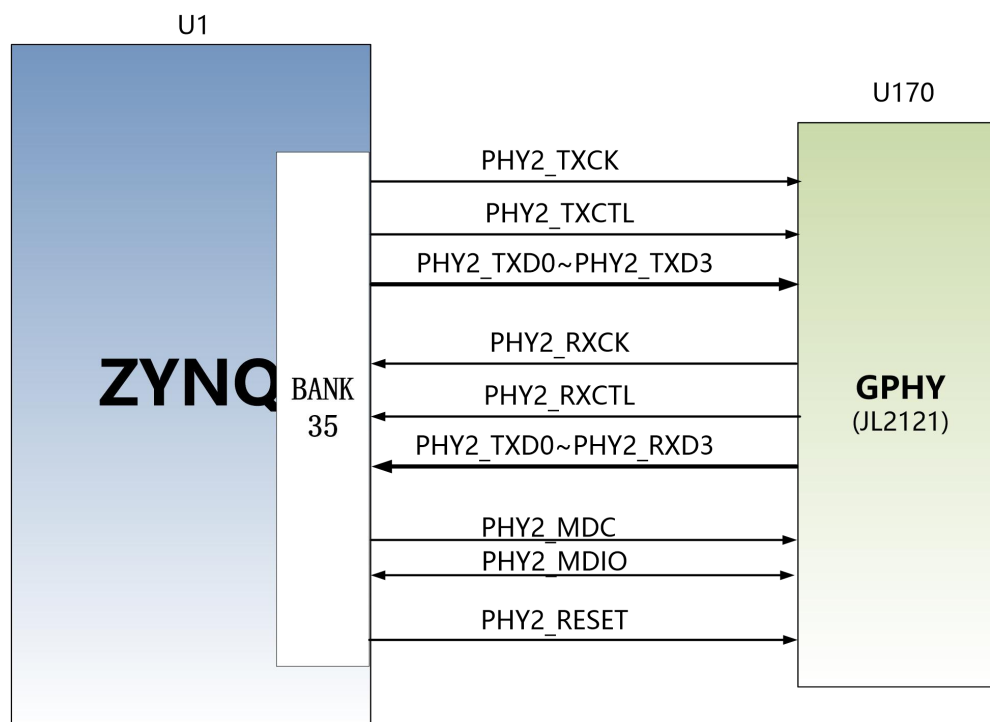


图 8-2 ZYNQ PL 端与 GPHY 连接示意图

PS 端千兆以太网引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY1_TXCK	PS_MIO16_501	G21	RGMII 发送时钟
PHY1_TXD0	PS_MIO17_501	G17	发送数据 bit 0
PHY1_TXD1	PS_MIO18_501	G20	发送数据 bit1
PHY1_TXD2	PS_MIO19_501	G19	发送数据 bit2
PHY1_TXD3	PS_MIO20_501	H19	发送数据 bit3
PHY1_TXCTL	PS_MIO21_501	F22	发送使能信号
PHY1_RXCK	PS_MIO22_501	G22	RGMII 接收时钟
PHY1_RXD0	PS_MIO23_501	F20	接收数据 Bit0
PHY1_RXD1	PS_MIO24_501	J19	接收数据 Bit1
PHY1_RXD2	PS_MIO25_501	F19	接收数据 Bit2
PHY1_RXD3	PS_MIO26_501	H17	接收数据 Bit3
PHY1_RXCTL	PS_MIO27_501	F18	接收数据有效信号
PHY1_MDC	PS_MIO52_501	A20	MDIO 管理时钟
PHY1_MDIO	PS_MIO53_501	A19	MDIO 管理数据
PHY1_RESET	PS_MIO7_500	E23	复位信号

PL 端千兆以太网引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY2_TXCK	IO_L4N_T0_35	D11	RGMII 发送时钟
PHY2_TXD0	IO_L3N_T0_DQS_AD1N_35	F10	发送数据 bit 0
PHY2_TXD1	IO_L3P_T0_DQS_AD1P_35	G10	发送数据 bit1
PHY2_TXD2	IO_L2N_T0_AD8N_35	D10	发送数据 bit2
PHY2_TXD3	IO_L2P_T0_AD8P_35	E10	发送数据 bit3
PHY2_TXCTL	IO_L4P_T0_35	E11	发送使能信号
PHY2_RXCK	IO_L11P_T1_SRCC_35	G14	RGMII 接收时钟
PHY2_RXD0	IO_L6P_T0_35	F13	接收数据 Bit0
PHY2_RXD1	IO_L1P_T0_AD0P_35	F12	接收数据 Bit1
PHY2_RXD2	IO_L1N_T0_AD0N_35	E12	接收数据 Bit2
PHY2_RXD3	IO_L5N_T0_AD9N_35	G11	接收数据 Bit3
PHY2_RXCTL	IO_L6N_T0_VREF_35	E13	接收数据有效信号
PHY2_MDC	IO_0_VRN_35	H16	MDIO 管理时钟
PHY2_MDIO	IO_L7P_T1_AD2P_35	H13	MDIO 管理数据
PHY2_RESET	IO_L7N_T1_AD2N_35	H12	复位信号

九、USB2.0 Host 接口

AX7350B开发板上有4个USB2.0 HOST接口，USB2.0收发器采用的是一个1.8V的，高速的支持ULPI标准接口的USB3320C-EZK芯片，再通过一个USB HUB芯片USB2514扩展出4路USB HOST接口。ZYNQ的USB总线接口和USB3320C-EZK收发器相连接，实现高速的USB2.0 Host模式的数据通信。USB3320C的USB的数据和控制信号连接到ZYNQ芯片PS端的BANK501的IO口上，USB接口差分信号(DP/DM)连接到USB2514芯片扩展出4个USB接口。2个24MHz的晶振为分别为USB3320C和USB2514芯片提供时钟。

4 个 USB 接口为扁型 USB 接口(USB Type A)，方便用户同时连接不同的 USB Slave 外设(比如 USB 鼠标和 USB 键盘)，每个 USB 接口提供了+5V 的电源。

ZYNQ处理器和USB3320C-EZK芯片及USB2514芯片连接的示意图如9-1所示:

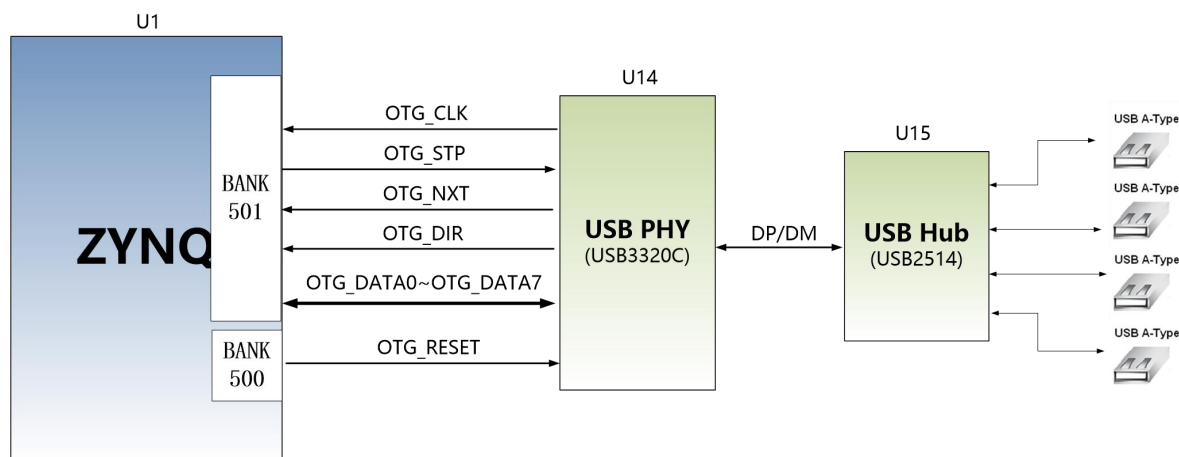


图 9-1 Zynq7000 和 USB 芯片间连接示意图

USB2.0 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
OTG_DATA4	PS_MIO28_501	J18	USB 数据 Bit4
OTG_DIR	PS_MIO29_501	E20	USB 数据方向信号
OTG_STP	PS_MIO30_501	K19	USB 停止信号
OTG_NXT	PS_MIO31_501	E21	USB 下一数据信号
OTG_DATA0	PS_MIO32_501	K17	USB 数据 Bit0
OTG_DATA1	PS_MIO33_501	E22	USB 数据 Bit1
OTG_DATA2	PS_MIO34_501	J16	USB 数据 Bit2
OTG_DATA3	PS_MIO35_501	D19	USB 数据 Bit3
OTG_CLK	PS_MIO36_501	K16	USB 时钟信号
OTG_DATA5	PS_MIO37_501	D20	USB 数据 Bit5
OTG_DATA6	PS_MIO38_501	D21	USB 数据 Bit6
OTG_DATA7	PS_MIO39_501	C21	USB 数据 Bit7
OTG_RESETN	PS_MIO8_500	A24	USB 复位信号

十、 HDMI 输出接口

HDMI 输出接口的实现，是选用 ANALOG DEVICE 公司的 ADV7511 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，ADV7511 的视频数字接口，音频数字接口和 I2C 配置接口和 ZYNQ7000 PL 部分的 BANK35 IO 相连，ZYNQ7000 系统通过 I2C 管脚来对 ADV7511 进行初始化和控制操作。

ADV7511 芯片和 ZYNQ7000 的硬件连接示意图如下图 10-1 所示:

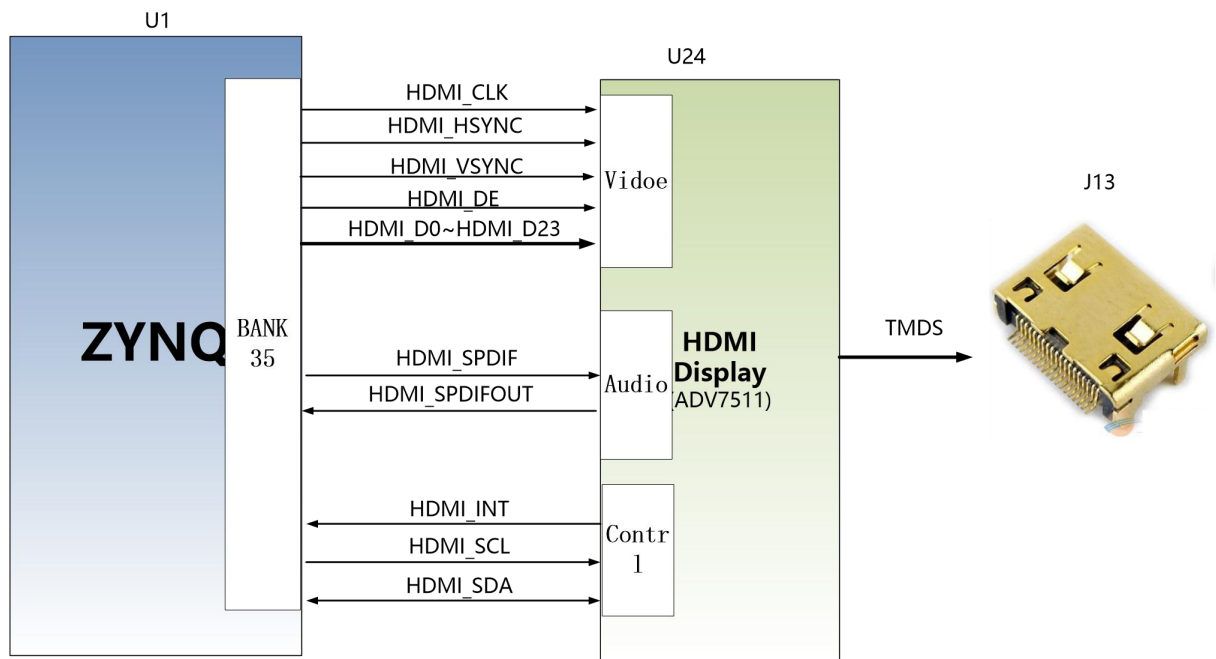


图 10-1 HDMI 接口设计原理图

ZYNQ 的引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
HDMI_CLK	IO_L8P_T1_AD10P_35	K13	HDMI 视频信号时钟
HDMI_HSYNC	IO_L23P_T3_35	C11	HDMI 视频信号行同步
HDMI_VSYNC	IO_L22N_T3_AD7N_35	B12	HDMI 视频信号列同步
HDMI_DE	IO_L9P_T1_DQS_AD3P_35	K15	HDMI 视频信号有效
HDMI_D0	IO_L10P_T1_AD11P_35	G16	HDMI 视频信号数据 0
HDMI_D1	IO_L16P_T2_35	E16	HDMI 视频信号数据 1
HDMI_D2	IO_L9N_T1_DQS_AD3N_35	J15	HDMI 视频信号数据 2
HDMI_D3	IO_L14N_T2_AD4N_SRCC_35	E15	HDMI 视频信号数据 3
HDMI_D4	IO_L14P_T2_AD4P_SRCC_35	F15	HDMI 视频信号数据 4
HDMI_D5	IO_L10N_T1_AD11N_35	G15	HDMI 视频信号数据 5
HDMI_D6	IO_L11N_T1_SRCC_35	F14	HDMI 视频信号数据 6
HDMI_D7	IO_L12N_T1_MRCC_35	H14	HDMI 视频信号数据 7
HDMI_D8	IO_L8N_T1_AD10N_35	J13	HDMI 视频信号数据 8
HDMI_D9	IO_25_VRP_35	K12	HDMI 视频信号数据 9
HDMI_D10	IO_L23N_T3_35	B11	HDMI 视频信号数据 10

HDMI_D11	IO_L22P_T3_AD7P_35	C12	HDMI 视频信号数据 11
HDMI_D12	IO_L19P_T3_35	D13	HDMI 视频信号数据 12
HDMI_D13	IO_L24N_T3_AD15N_35	A12	HDMI 视频信号数据 13
HDMI_D14	IO_L19N_T3_VREF_35	C13	HDMI 视频信号数据 14
HDMI_D15	IO_L24P_T3_AD15P_35	A13	HDMI 视频信号数据 15
HDMI_D16	IO_L13N_T2_MRCC_35	D14	HDMI 视频信号数据 16
HDMI_D17	IO_L13P_T2_MRCC_35	D15	HDMI 视频信号数据 17
HDMI_D18	IO_L21N_T3_DQS_AD14N_35	A14	HDMI 视频信号数据 18
HDMI_D19	IO_L20N_T3_AD6N_35	B14	HDMI 视频信号数据 19
HDMI_D20	IO_L21P_T3_DQS_AD14P_35	A15	HDMI 视频信号数据 20
HDMI_D21	IO_L17N_T2_AD5N_35	B15	HDMI 视频信号数据 21
HDMI_D22	IO_L16N_T2_35	D16	HDMI 视频信号数据 22
HDMI_D23	IO_L17P_T2_AD5P_35	B16	HDMI 视频信号数据 23
HDMI_SPDIF	IO_L20P_T3_AD6P_35	C14	HDMI 音频 S/PDIF 输入
HDMI_SPDIFOUT	IO_L18P_T2_AD13P_35	B17	HDMI 音频 S/PDIF 输出
HDMI_INT	IO_L15P_T2_DQS_AD12P_35	C17	HDMI 中断信号
HDMI_SCL	IO_L18N_T2_AD13N_35	A17	HDMI IIC 控制时钟
HDMI_SDA	IO_L15N_T2_DQS_AD12N_35	C16	HDMI IIC 控制数据

十一、光纤接口

AX7350B 开发板上有 2 路光纤接口，用户可以购买 SFP 光模块(市场上 1.25G, 2.5G, 10G 光模块) 插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 ZYNQ 的 BANK111 的 GTX 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 ZYNQ 和光模块, 每路 TX 发送和 RX 接收数据速率高达 10Gb/s。BANK111 的 GTX 收发器的参考时钟由是 156.25Mhz 差分晶振提供。

FPGA 和光纤设计示意图如下图 11-1 所示:

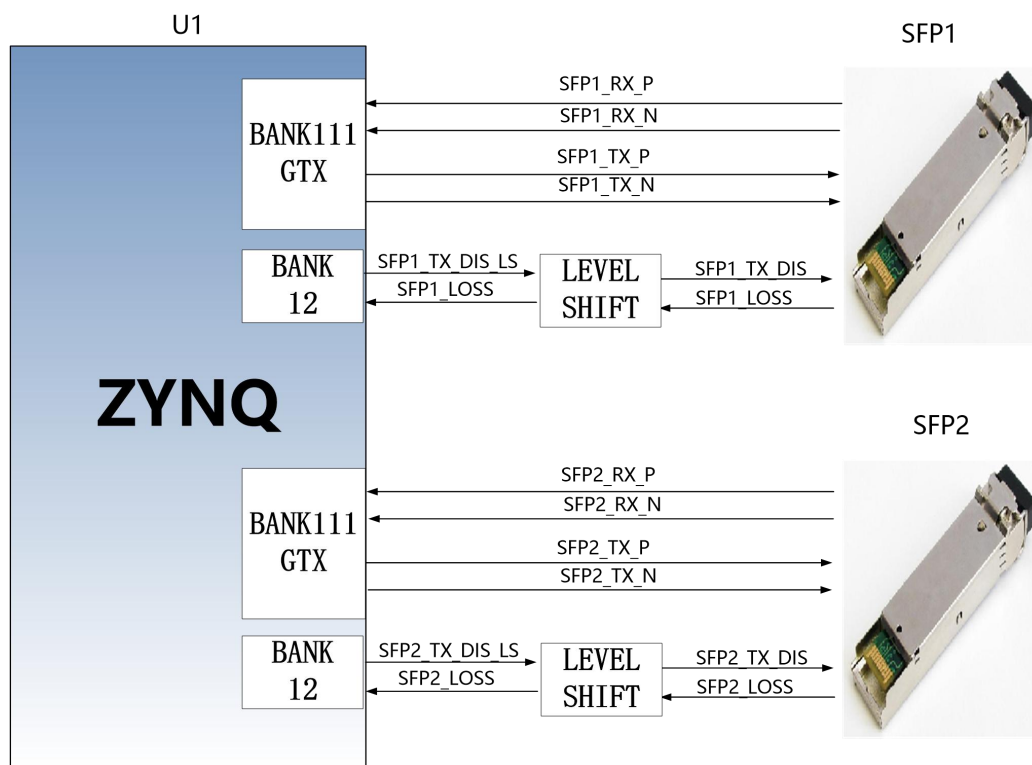


图 11-1 光纤设计示意图

第 1 路光纤接口 ZYNQ 引脚分配如下:

网络名称	ZYNQ 引脚	备注
SFP1_TX_P	AF4	SFP 光模块数据发送 Positive
SFP1_TX_N	AF3	SFP 光模块数据发送 Negative
SFP1_RX_P	AE6	SFP 光模块数据接收 Positive
SFP1_RX_N	AE5	SFP 光模块数据接收 Negative
SFP1_TX_DIS_LS	AA14	SFP 光模块光发射禁止, 高有效
SFP1_LOSS_LS	W16	SFP 光接收 LOSS 信号, 高表示没有接收到光信号

第 2 路光纤接口 ZYNQ 引脚分配如下:

网络名称	ZYNQ 引脚	备注
SFP2_TX_P	AE2	SFP 光模块数据发送 Positive
SFP2_TX_N	AE1	SFP 光模块数据发送 Negative
SFP2_RX_P	AC6	SFP 光模块数据接收 Positive
SFP2_RX_N	AC5	SFP 光模块数据接收 Negative
SFP2_TX_DIS_LS	Y16	SFP 光模块光发射禁止, 高有效

SFP2_LOSS_LS	W15	SFP 光接收 LOSS 信号，高表示没有接收到光信号
--------------	-----	-----------------------------

十二、PCIe 插槽

AX7350B 开发板上有一个 PCIe 的插槽，在物理上可以连接 PCIe 的板卡。在电气连接上我们只有 4 对收发器连接到 PCIex8 的插槽上，所以只能实现 PCIeEx4, PCIe2, PCIe1 的数据通信。

PCIe 接口的收发信号直接跟 ZYNQ BANK112 的 GTX 收发器相连接，4 路 TX 信号和 RX 信号都是以差分信号方式连接到 BANK112，单通道通信速率可高达 5G bit 带宽。PCIe 插槽的参考时钟由时钟芯片 SI5338P 提供，参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如下图 12-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

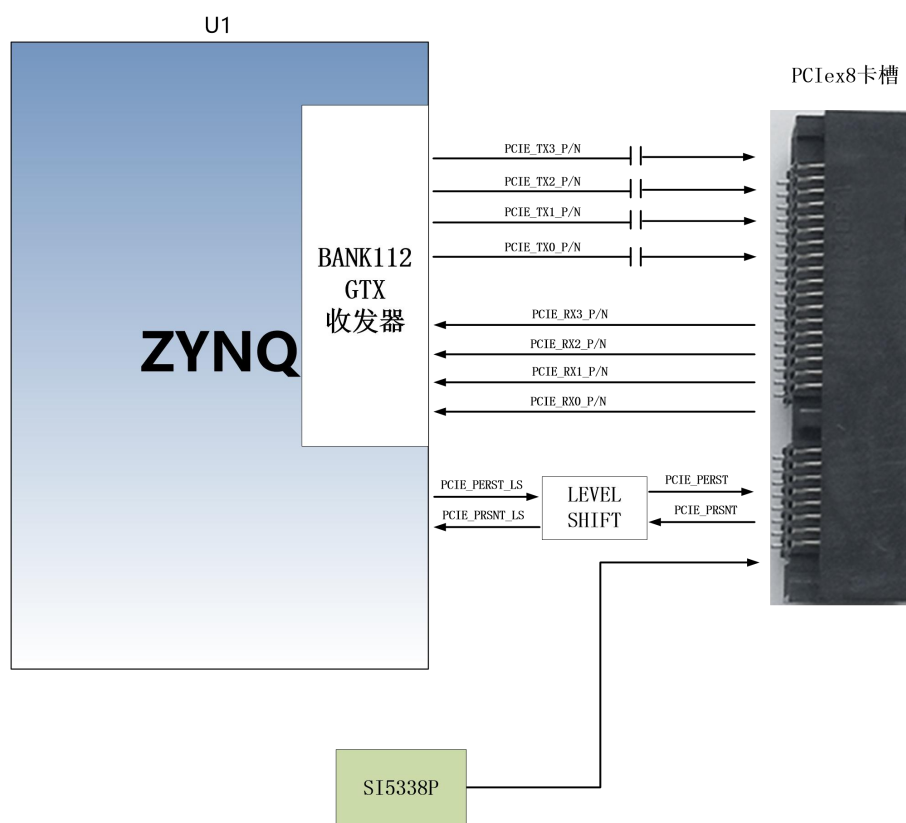


图 12-1 PCIe 插槽设计示意图

PCIe x4 接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
------	---------	----

PCIE_RX0_P	AB4	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	AB3	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	Y4	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	Y3	PCIE 通道 1 数据接收 Negative
PCIE_RX2_P	V4	PCIE 通道 2 数据接收 Positive
PCIE_RX2_N	V3	PCIE 通道 2 数据接收 Negative
PCIE_RX3_P	T4	PCIE 通道 3 数据接收 Positive
PCIE_RX3_N	T3	PCIE 通道 3 数据接收 Negative
PCIE_TX0_P	AA2	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	AA1	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	W2	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	W1	PCIE 通道 1 数据发送 Negative
PCIE_TX2_P	U2	PCIE 通道 2 数据发送 Positive
PCIE_TX2_N	U1	PCIE 通道 2 数据发送 Negative
PCIE_TX3_P	R2	PCIE 通道 3 数据发送 Positive
PCIE_TX3_N	R1	PCIE 通道 3 数据发送 Negative
PCIE_PERST_LS	AA19	PCIE 板卡的复位信号
PCIE_PRSENT_LS	AA18	PCIE 板卡的存在指示信号

十三、SD 卡槽

AX7350B开发板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储ZYNQ芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZYNQ的PS BANK501的IO信号相连，因为该BANK的VCCIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。Zynq7000 PS和SD卡连接器的原理图如图13-1所示。

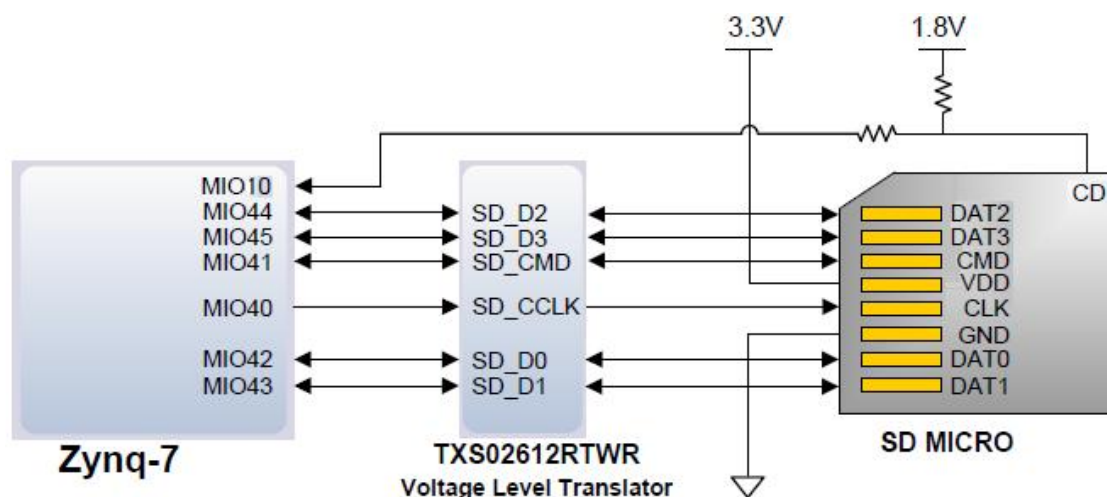


图 13-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SD_CLK	PS_MIO40	C22	SD时钟信号
SD_CMD	PS_MIO41	C19	SD命令信号
SD_D0	PS_MIO42	F17	SD数据Data0
SD_D1	PS_MIO43	D18	SD数据Data1
SD_D2	PS_MIO44	E18	SD数据Data2
SD_D3	PS_MIO45	C18	SD数据Data3
SD_CD	PS_MIO10	A25	SD卡插入信号

十四、FMC 连接器

AX7350B 开发板带有一个标准的 FMC LPC 的扩展口, 可以外接 XILINX 或者我们黑金的各种 FMC 模块 (HDMI 输入输出模块, 双目摄像头模块, 高速 AD 模块等等)。FMC 扩展口包含 34 对差分 IO 信号和一路高速 GTX 收发信号。

FMC 扩展口的 33 对差分信号连接到 ZYNQ 芯片的 BANK12, BANK13 的 IO 上, BANK12 和 BANK13 的 IO 电平标准是由 BANK 的电压 VADJ 决定的, 默认为 2.5V, 使 34 对差分信号支持 LVDS 数据通信。另外一路 GTX 收发信号和参考时钟信号分别连接到 ZYNQ BANK111 的 GTX 收发器和时钟输入。Zynq7000 和 FMC 连接器的原理图如图 14-1 所示。

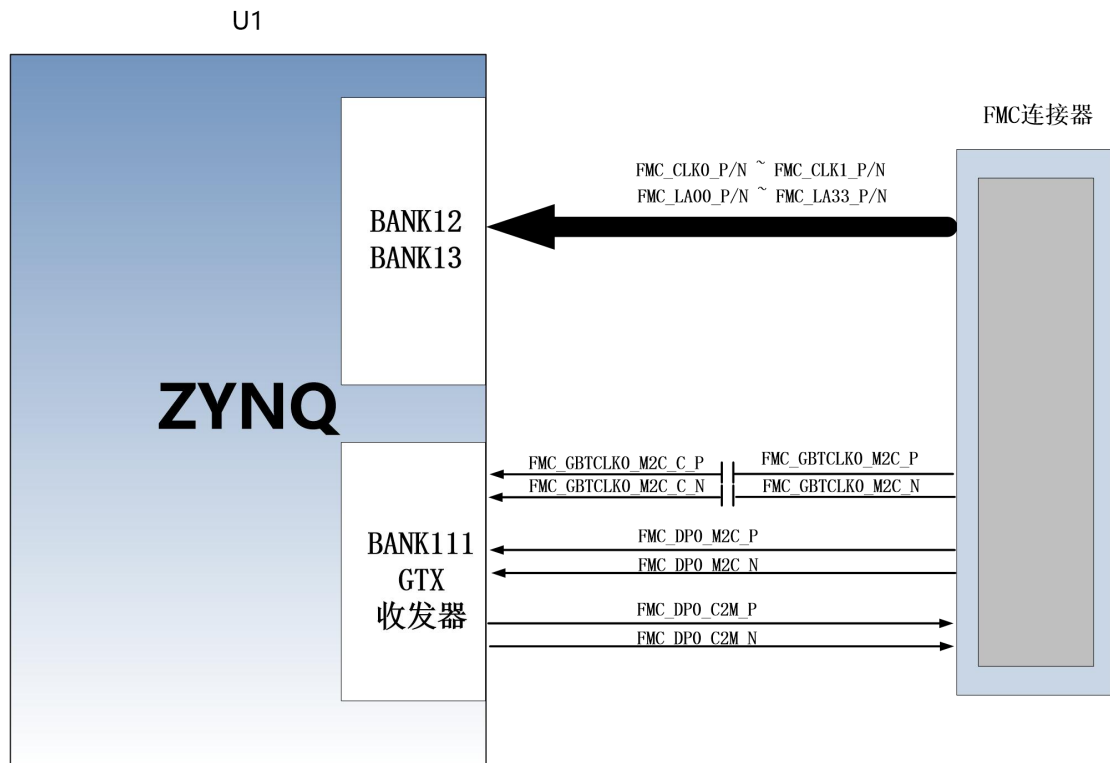


图 14-1 FMC 连接器连接示意图

FMC 连接器引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
FMC_CLK0_P	IO_L12P_T1_MRCC_12	AC13	FMC参考第1路参考时钟P
FMC_CLK0_N	IO_L12N_T1_MRCC_12	AD13	FMC参考第1路参考时钟N
FMC_CLK1_P	IO_L13P_T2_MRCC_13	AD20	FMC参考第2路参考时钟P
FMC_CLK1_N	IO_L13N_T2_MRCC_13	AD21	FMC参考第2路参考时钟N
FMC_LA00_CC_P	IO_L13P_T2_MRCC_12	AC14	FMC参考第0路数据 (时钟) P
FMC_LA00_CC_N	IO_L13N_T2_MRCC_12	AD14	FMC参考第0路数据 (时钟) N
FMC_LA01_CC_P	IO_L14P_T2_SRCC_12	AB15	FMC参考第1路数据 (时钟) P
FMC_LA01_CC_N	IO_L14N_T2_SRCC_12	AB14	FMC参考第1路数据 (时钟) N
FMC_LA02_P	IO_L3P_T0_DQS_12	Y10	FMC参考第2路数据P
FMC_LA02_N	IO_L3N_T0_DQS_12	AA10	FMC参考第2路数据N
FMC_LA03_P	IO_L17P_T2_12	AE16	FMC参考第3路数据P
FMC_LA03_N	IO_L17N_T2_12	AE15	FMC参考第3路数据N
FMC_LA04_P	IO_L7P_T1_12	AE10	FMC参考第4路数据P
FMC_LA04_N	IO_L7N_T1_12	AD10	FMC参考第4路数据N

FMC_LA05_P	IO_L11P_T1_SRCC_12	AC12	FMC参考第5路数据P
FMC_LA05_N	IO_L11N_T1_SRCC_12	AD11	FMC参考第5路数据N
FMC_LA06_P	IO_L9P_T1_DQS_12	AE11	FMC参考第6路数据P
FMC_LA06_N	IO_L9N_T1_DQS_12	AF10	FMC参考第6路数据N
FMC_LA07_P	IO_L4P_T0_12	AB11	FMC参考第7路数据P
FMC_LA07_N	IO_L4N_T0_12	AB10	FMC参考第7路数据N
FMC_LA08_P	IO_L1P_T0_12	Y12	FMC参考第8路数据P
FMC_LA08_N	IO_L1N_T0_12	Y11	FMC参考第8路数据N
FMC_LA09_P	IO_L10P_T1_12	AE13	FMC参考第9路数据P
FMC_LA09_N	IO_L10N_T1_12	AF13	FMC参考第9路数据N
FMC_LA10_P	IO_L2P_T0_12	AB12	FMC参考第10路数据P
FMC_LA10_N	IO_L2N_T0_12	AC11	FMC参考第10路数据N
FMC_LA11_P	IO_L8P_T1_12	AE12	FMC参考第11路数据P
FMC_LA11_N	IO_L8N_T1_12	AF12	FMC参考第11路数据N
FMC_LA12_P	IO_L5P_T0_12	W13	FMC参考第12路数据P
FMC_LA12_N	IO_L5N_T0_12	Y13	FMC参考第12路数据N
FMC_LA13_P	IO_L15P_T2_DQS_12	AD16	FMC参考第13路数据P
FMC_LA13_N	IO_L15N_T2_DQS_12	AD15	FMC参考第13路数据N
FMC_LA14_P	IO_L16P_T2_12	AF15	FMC参考第14路数据P
FMC_LA14_N	IO_L16N_T2_12	AF14	FMC参考第14路数据N
FMC_LA15_P	IO_L18P_T2_12	AE17	FMC参考第15路数据P
FMC_LA15_N	IO_L18N_T2_12	AF17	FMC参考第15路数据N
FMC_LA16_P	IO_L20P_T3_12	AB17	FMC参考第16路数据P
FMC_LA16_N	IO_L20N_T3_12	AB16	FMC参考第16路数据N
FMC_LA17_CC_P	IO_L12P_T1_MRCC_13	AC23	FMC参考第17路数据 (时钟) P
FMC_LA17_CC_N	IO_L12N_T1_MRCC_13	AC24	FMC参考第17路数据 (时钟) N
FMC_LA18_CC_P	IO_L11P_T1_SRCC_13	AD23	FMC参考第18路数据 (时钟) P
FMC_LA18_CC_N	IO_L11N_T1_SRCC_13	AD24	FMC参考第18路数据 (时钟) N
FMC_LA19_P	IO_L16P_T2_13	AE20	FMC参考第19路数据P
FMC_LA19_N	IO_L16N_T2_13	AE21	FMC参考第19路数据N
FMC_LA20_P	IO_L15P_T2_DQS_13	AF19	FMC参考第20路数据P
FMC_LA20_N	IO_L15N_T2_DQS_13	AF20	FMC参考第20路数据N

FMC_LA21_P	IO_L20P_T3_13	AA20	FMC参考第21路数据P
FMC_LA21_N	IO_L20N_T3_13	AB20	FMC参考第21路数据N
FMC_LA22_P	IO_L17P_T2_13	AD18	FMC参考第22路数据P
FMC_LA22_N	IO_L17N_T2_13	AD19	FMC参考第22路数据N
FMC_LA23_P	IO_L18P_T2_13	AE18	FMC参考第23路数据P
FMC_LA23_N	IO_L18N_T2_13	AF18	FMC参考第23路数据N
FMC_LA24_P	IO_L8P_T1_13	AE23	FMC参考第24路数据P
FMC_LA24_N	IO_L8N_T1_13	AF23	FMC参考第24路数据N
FMC_LA25_P	IO_L9P_T1_DQS_13	AB21	FMC参考第25路数据P
FMC_LA25_N	IO_L9N_T1_DQS_13	AB22	FMC参考第25路数据N
FMC_LA26_P	IO_L7P_T1_13	AE22	FMC参考第26路数据P
FMC_LA26_N	IO_L7N_T1_13	AF22	FMC参考第26路数据N
FMC_LA27_P	IO_L14P_T2_SRCC_13	AC21	FMC参考第27路数据P
FMC_LA27_N	IO_L14N_T2_SRCC_13	AC22	FMC参考第27路数据N
FMC_LA28_P	IO_L10P_T1_13	AA22	FMC参考第28路数据P
FMC_LA28_N	IO_L10N_T1_13	AA23	FMC参考第28路数据N
FMC_LA29_P	IO_L5P_T0_13	AF24	FMC参考第29路数据P
FMC_LA29_N	IO_L5N_T0_13	AF25	FMC参考第29路数据N
FMC_LA30_P	IO_L4P_T0_13	AD25	FMC参考第30路数据P
FMC_LA30_N	IO_L4N_T0_13	AD26	FMC参考第30路数据N
FMC_LA31_P	IO_L3P_T0_DQS_13	AE25	FMC参考第31路数据P
FMC_LA31_N	IO_L3N_T0_DQS_13	AE26	FMC参考第31路数据N
FMC_LA32_P	IO_L2P_T0_13	AB26	FMC参考第32路数据P
FMC_LA32_N	IO_L2N_T0_13	AC26	FMC参考第32路数据N
FMC_LA33_P	IO_L1P_T0_13	AA25	FMC参考第33路数据P
FMC_LA33_N	IO_L1N_T0_13	AB25	FMC参考第33路数据N

十五、LED 灯

AX7350B 开发板上有 9 个发光二极管 LED, 1 个电源指示灯; 1 个 DONE 配置指示灯; 2 个串口通信指示灯, 1 个 PS 控制 LED 灯, 4 个 PL 控制指示灯。当开发板上电后电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯会亮起。1 个用户 LED 灯一个连接到 PS 的 MIO

上, 4 个 LED 灯连接到 PL 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为低时, 用户 LED 灯熄灭, 当连接 IO 电压为高时, 用户 LED 会被点亮。因为 BANK34 的电平为 1.5V, 这里我们增加了三极管来驱动 LED 的亮灭。用户 LED 灯硬件连接的示意图如图 15-1 所示:

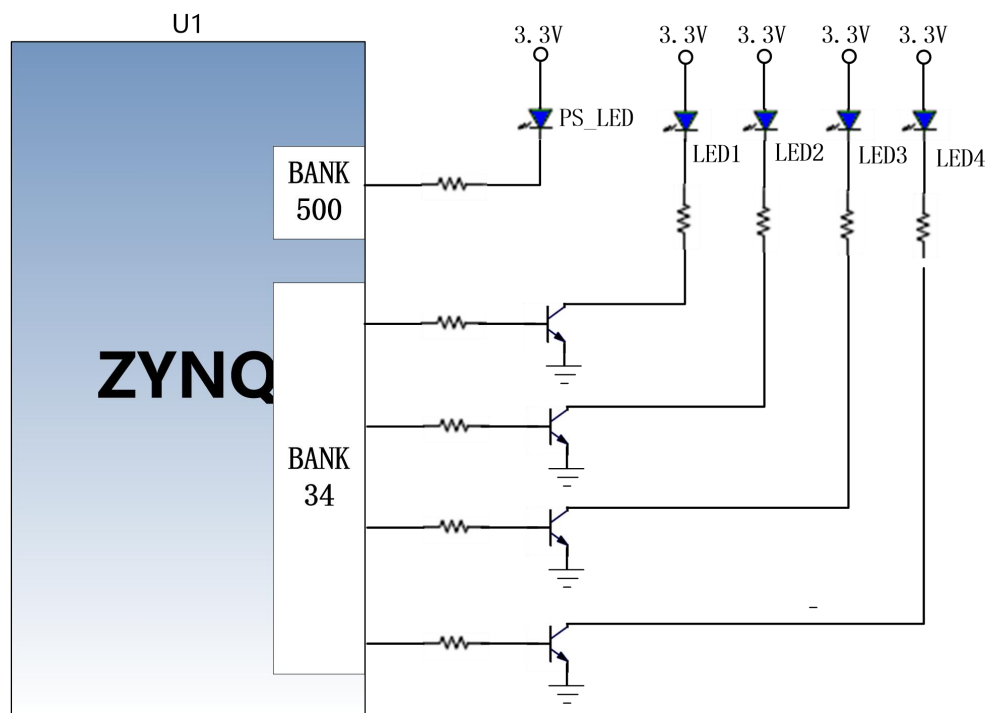


图 15-1 用户 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
MIO0_LED	PS_MIO0_500	E26	用户 PS LED 灯
PL_LED1	IO_L7P_T1_34	F5	用户 PL LED1 灯
PL_LED2	IO_L7N_T1_34	E5	用户 PL LED2 灯
PL_LED3	O_L2N_T0_34	G5	用户 PL LED3 灯
PL_LED4	IO_L2P_T0_34	G6	用户 PL LED4 灯

十六、复位按键和用户按键

AX7350B 开发板上有 1 个复位按键 RESET 和 5 个用户按键。复位信号连接到 ZYNQ 芯片 PS 复位管脚上, 用户可以使用这个复位按键来复位 ZYNQ 系统, 5 个用户按键中 1 个按键是连接到 PS 的 IO 上, 另外 4 个按键是连接到 PL 的 IO 上。复位按键和用户按键都是低电平有效, 复位按键和用户按键的连接示意图如图 16-1 所示:

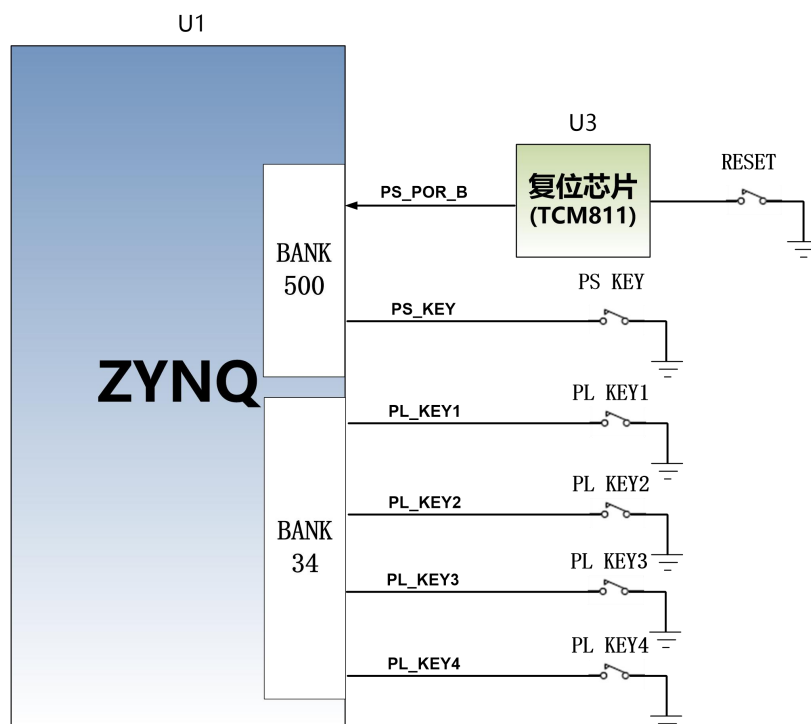


图 16-1 复位按键连接示意图

按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	C23	ZYNQ 系统复位信号
PS_KEY	PS_MIO11_500	B26	PS 按键输入
PL_KEY1	IO_L4N_T0_34	H6	PL 按键 1 输入
PL_KEY2	IO_L4P_T0_34	H7	PL 按键 2 输入
PL_KEY3	IO_L6N_T0_VREF_34	H8	PL 按键 3 输入
PL_KEY4	IO_L6P_T0_34	J8	PL 按键 4 输入

十七、JTAG 调试口

在 AX7350B 开发板上已经集成了 JTAG 的下载调试电路, 所以用户无需购买额外的 Xilinx 下载器。只要一根 USB 线就能进行 ZYNQ 的开发和调试了。在开发板上通过一个 FTDI 的 USB 桥接芯片 FT232HL 实现 PC 的 USB 和 ZYNQ 的 JTAG 调试信号 TCK, TDO, TMS, TDI 进行数据通信。图 17-1 为开发板上 JTAG 口的原理图部分:

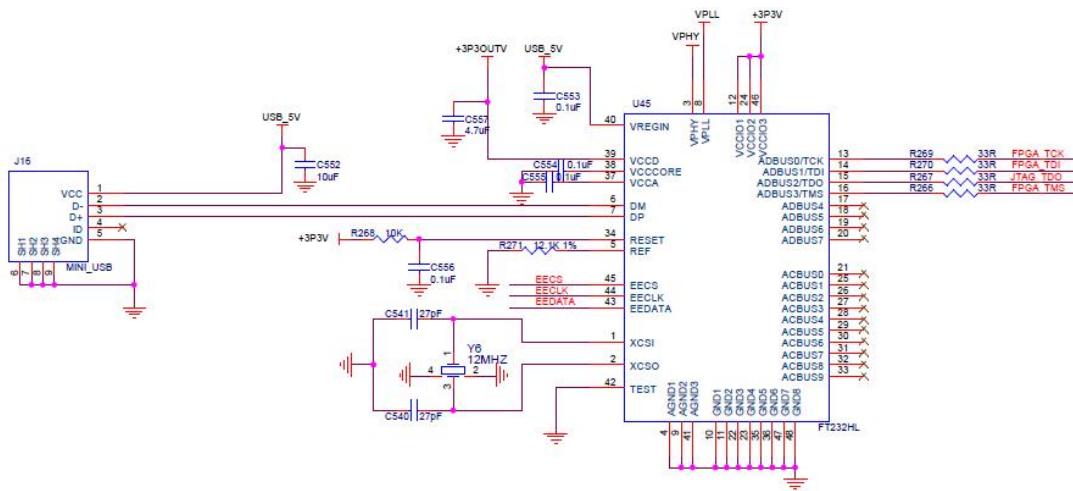


图17-1 原理图中JTAG接口部分

在 AX7350B 开发板上, JTAG 接口的形式是 USB 接口方式的, 用户可以通过我们提供的 USB 线连接 PC 和 JTAG 接口进行 ZYNQ 的系统调试。

十八、拨码开关配置

开发板上有一个 2 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AX7350B 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。XC7Z035 芯片上电后会检测响应 MIO 口 (MIO5 和 MIO4) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 18-1 所示。

SW1	拨码位置 (1, 2)	MIO5,MIO4电平	启动模式
	ON、ON	0、0	JTAG
	OFF、OFF	1、1	SD卡
	OFF、ON	1、0	QSPI FLASH

表18-1 SW1启动模式配置

十九、电源

开发板的电源输入电压为 DC12V, 外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源, 不要用其他规格电源, 以免损坏开发板。+12V 输入电源通过 DCDC 电源芯片 MYMGK1R820ERSR 产生+1.0V 的 FPGA 核心电源, MYMGK1R820ERSR 输出电流高达 20A, 满足 FPGA 的核心电压的电流需求。另外 +12V 通过 DC/DC 电源芯片

ETA8156FT2G 产生+1.5V，通过 DCDC 芯片 ETA1471FT2G 来产生其它的电源。DDR3 的 VTT 和 VREF 电压由 TPS51200 芯片来产生。

板上的电源设计示意图如下图 19-1 所示:

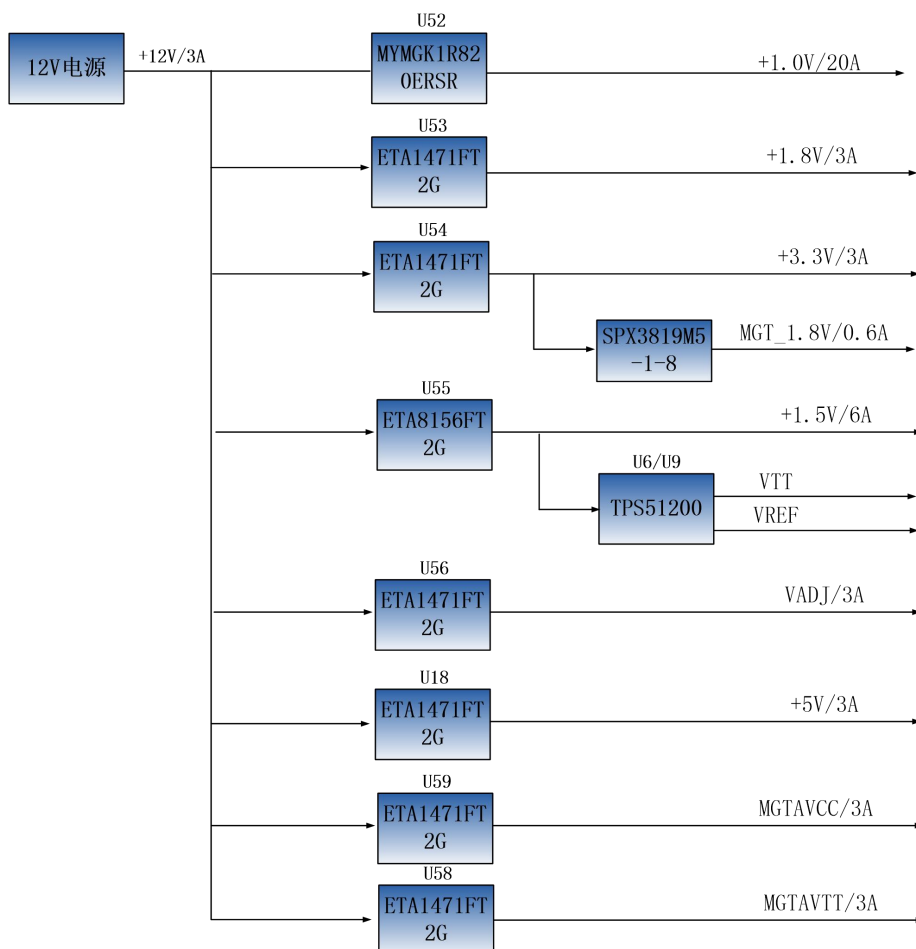


图 19-1 原理图中电源接口部分

各个电源分配的功能如下表所示:

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压
+1.8V	ZYNQ PS 和 PL 部分辅助电压, BANK501 IO 电压, eMMC, HDMI
+3.3V	ZYNQ Bank0,Bank500, QSIP FLASH, Clock 晶振, SD 卡, SFP 光模块
+1.5V	DDR3, ZYNQ Bank501, Bank33,Bank34
+1.2V	千兆以太网
VADJ(+2.5V)	ZYNQ Bank12, Bank13, FMC
VREF, VTT (+0.75V)	PS DDR3, PL DDR3
MGTAVCC(+1.0V)	ZYNQ Bank111, Bank112

MGTAVTT(+1.2V)	ZYNQ Bank111, Bank112
----------------	-----------------------

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO) 的电路设计，保证芯片的正常工作。

二十、风扇

因为 ZYNQ 7Z035 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制，控制管脚连接到 BANK34 的 IO 上，如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 20-1 所示：

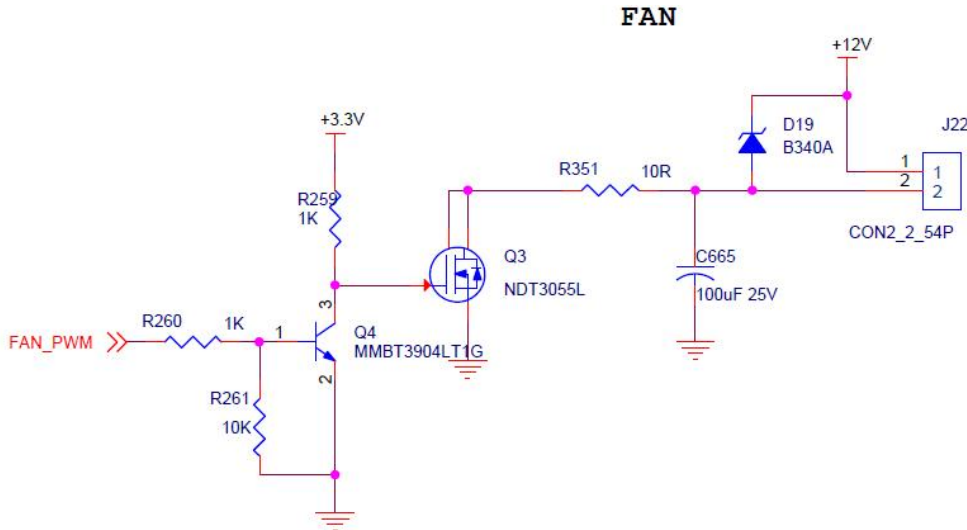
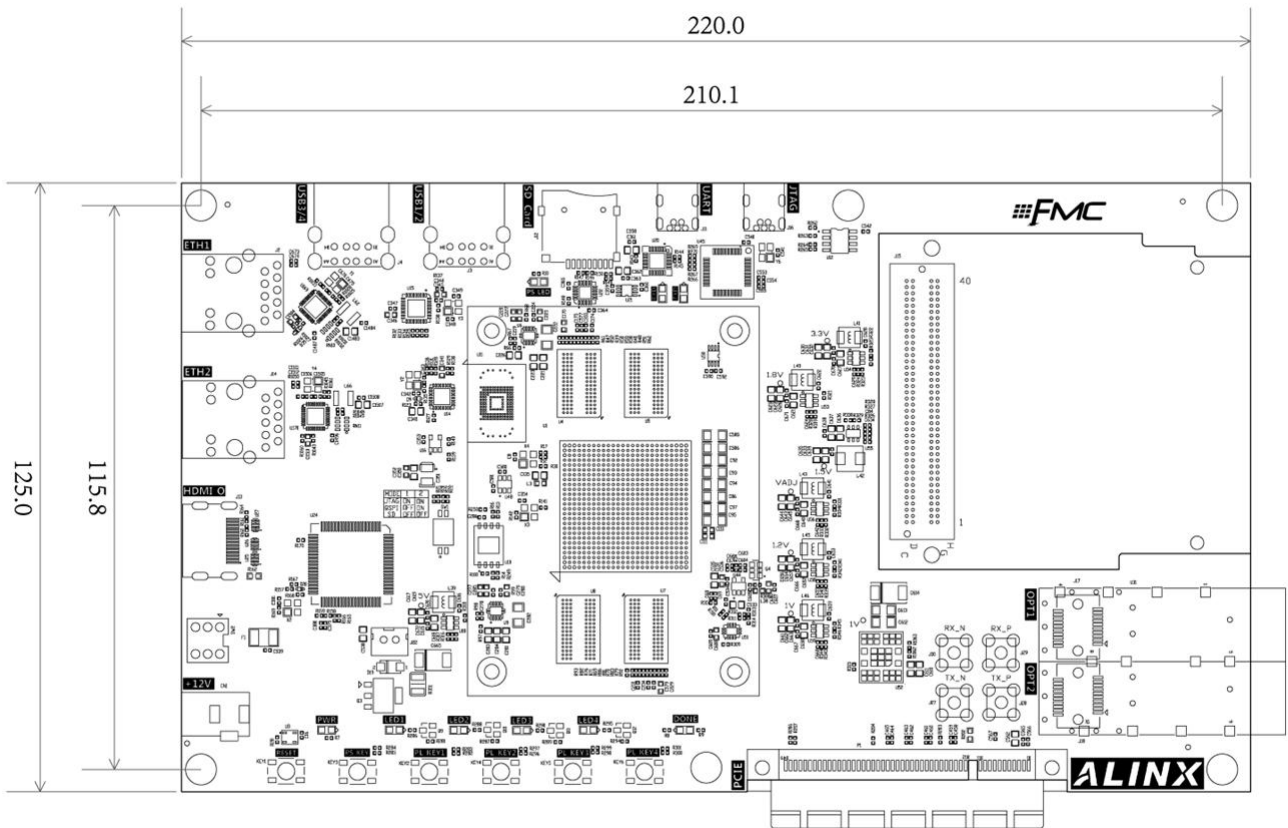


图 20-1 开发板原理图中风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J22 的插座上，红色的为正极，黑色的为负极。

二十一、结构尺寸图



正面图 (Top View)