

Logos FPGA 开发平台

用户手册

P25G 核心板

ALINX

文档版本控制

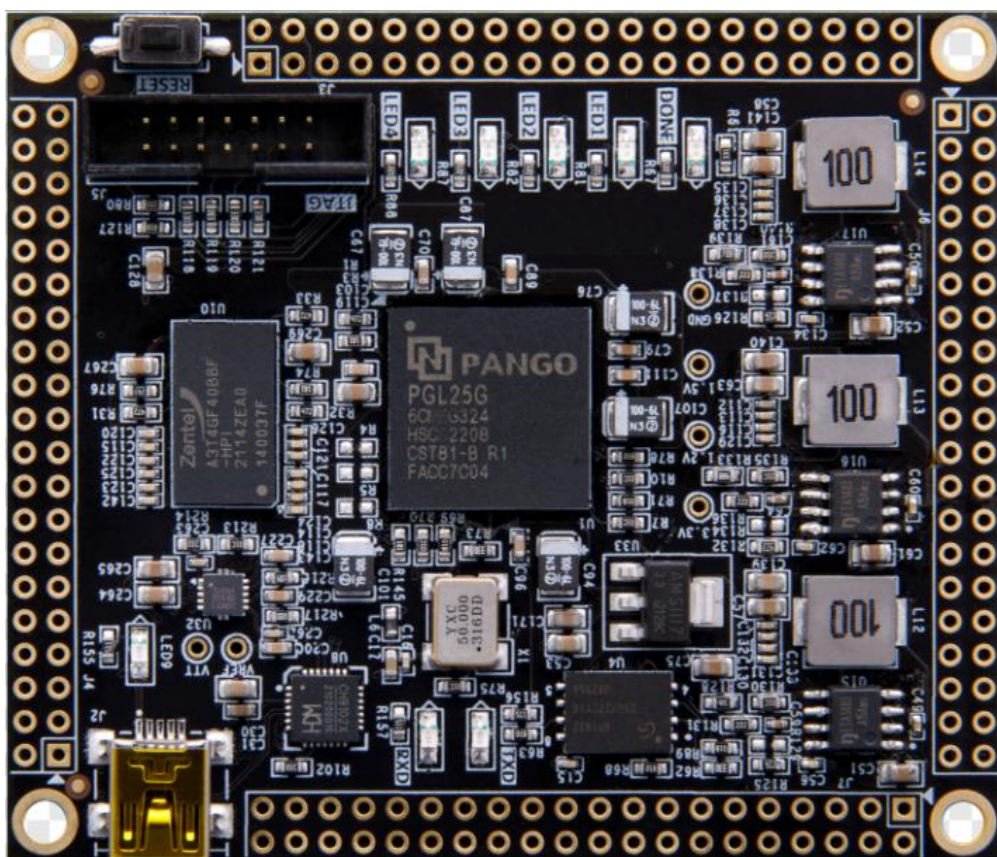
文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制.....	2
目 录.....	3
(一) 简介.....	4
(二) FPGA 芯片.....	6
(三) DDR3.....	7
(四) QSPI Flash.....	9
(五) FPGA 时钟.....	10
(六) LED 灯.....	11
(七) 按键.....	12
(八) 电源.....	13
(九) JTAG.....	14
(十) USB 转串.....	15
(十一) 扩展口.....	17

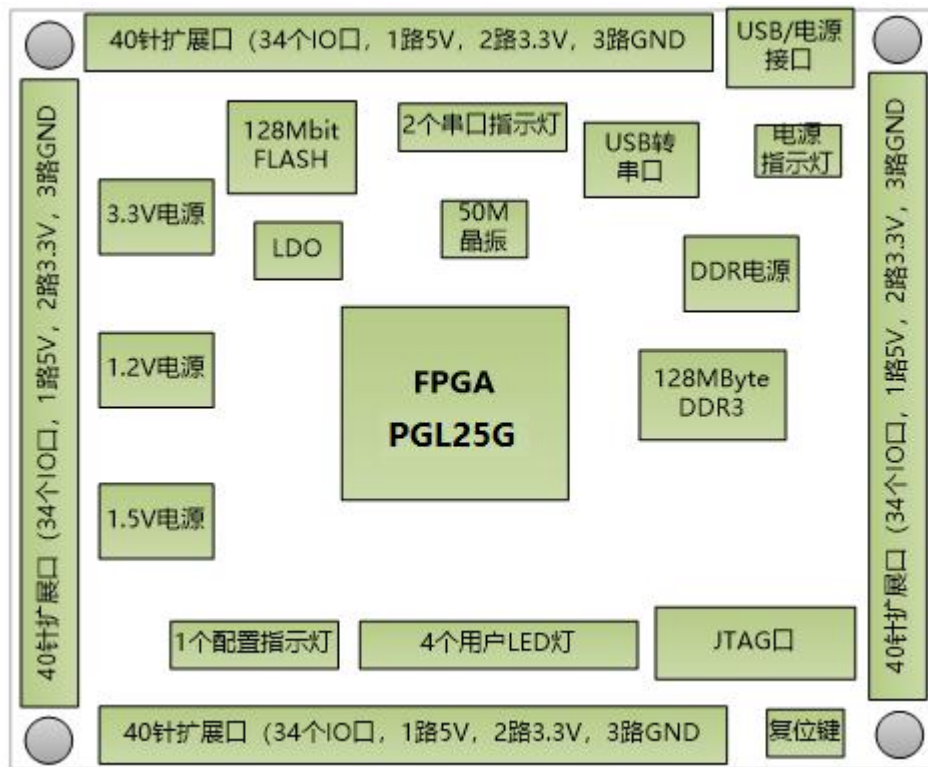
(一) 简介

P25G(核心板型号, 下同)核心板, FPGA 芯片是基于紫光同创 FPGA Logos 的主芯片 PGL25G6IMBG324 设计。核心板在 FPGA 上连接了 1 片 DDR3 存储芯片,容量高达 4Gb。另外核心板上也集成了 1 片 128MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。同时具有丰富的硬件资源和外围接口。在设计上坚持“精致、实用、简洁”的设计理念, 因为它的体积很小, 扩展性很强的特点, 非常适合于用户的 FPGA 的前期验证, 产品的嵌入和项目开发。同时它还可适用与高校教学、FPGA 培训、个人研究学习和 DIY 等。



P25G 核心板正面图

图为整个核心板系统的结构示意图:



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- +5V USB 电源输入，可以直接连接电脑的 USB 口供电，或者通过底板+5V 供电，两者二选一。核心板最大电流小于 300mA；
- 一片大容量的 512Mbyte 高速 DD3 SDRAM,可作为数据的缓存；
- 一片 128Mbit 的 QSPI FLASH, 可用作 FPGA 配置文件和用户数据的存储；
- 一路 USB Uart 接口, 用于和 PC 或外部设备的串口通信, 和 USB 电源输入共用；
- 4 个用户发光二极管 LED；
- 1 个复位按键；
- 板载 50M 的有源晶振, 给开发板提供稳定的时钟源；
- 4 路 40 针的扩展口 (2.54mm 间距), 其中 34 个 IO 口, 1 路 5V 电源, 2 路 3.3V 电源, 3 路 GND。可以接底板或者黑金的其它功能模块。IO 的电平默认为 3.3V, 可以通过更换核心板上的 LDO 来改变电平。
- 1 个 JTAG 口, 可对 FPGA 进行调试和程序固化。

(二) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL25G6IMBG324**，属于紫光同创公司 Logos 系列的产品，速度等级为 6，温度等级为工业级。此型号为 MBG324 封装，324 个引脚。紫光同创 Titan2 FPGA 的芯片命名规则如下：

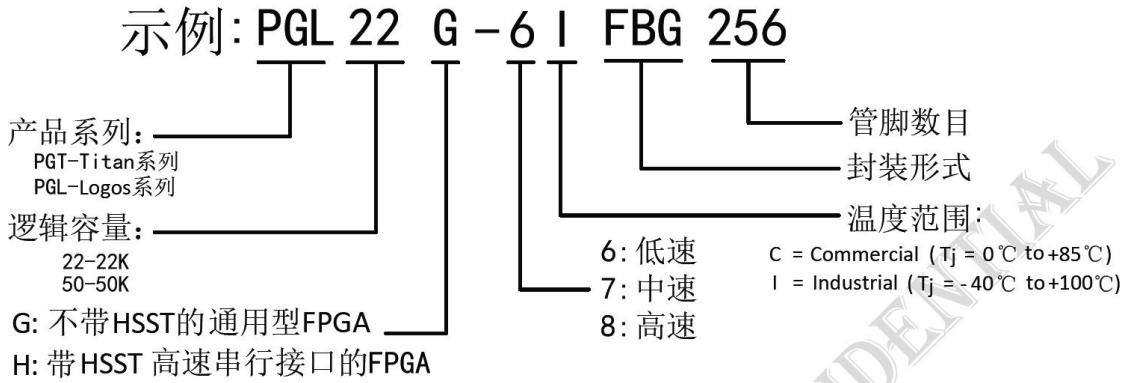


图 2-1 为所用的 FPGA 芯片实物图。



图 2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL25G 的主要参数如下所示：

器件型号		PGL12G	PGL22G	PGL22GS	PGL25G	PGL50G	PGL50H	PGL100H*
逻辑资源	等效 LUT4	12480	21043	21043	27072	51360	51360	102451
	Flip-Flops (个)	15600	26304	26304	33840	64200	64200	128064
RAM 资源	分布式 RAM(Kbit)	85	70	70	242	544	544	993
	块 RAM 数量(18Kbit/块)	30	48	48	60	134	134	286
	块 RAM(Kbit)	540	864	864	1080	2412	2412	5148
时钟资源	PLL	4	6	6	4	5	5	8
IO 资源	最大用户 IO	160	240	140	308	341	304	498
	最大差分 IO(对)	80	120	68	154	170	152	249
	DDR3 (Mbps)	800	800#	800	800	800	800	800
硬核资源	APM(18*18)	20	30	30	40	84	84	188
	ADC 硬核	1	1	—	—	—	—	—
	PCIe Gen2x4	—	—	—	—	—	1	1
	AES 模块	1	1	1	0	1	1	1
	HSST(6.375Gbps)	—	—	—	—	—	4	8

(三) DDR3

开发板板载了一片高速 DDR3 DRAM,型号：A3T4GF40BBF-HPI，容量：512MByte (256M*16bit)，16bit 总线。开发板上 FPGA 和 DDR3 DRAM 相连的是 BANK3 的 IO，Spartan6 FPGA 内部带有硬 DDR3 控制器 MCB，通过配置可以使 MCB 与 DDR3 读写速度达到 666Mb/s。DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接方式如图 3-1 所示

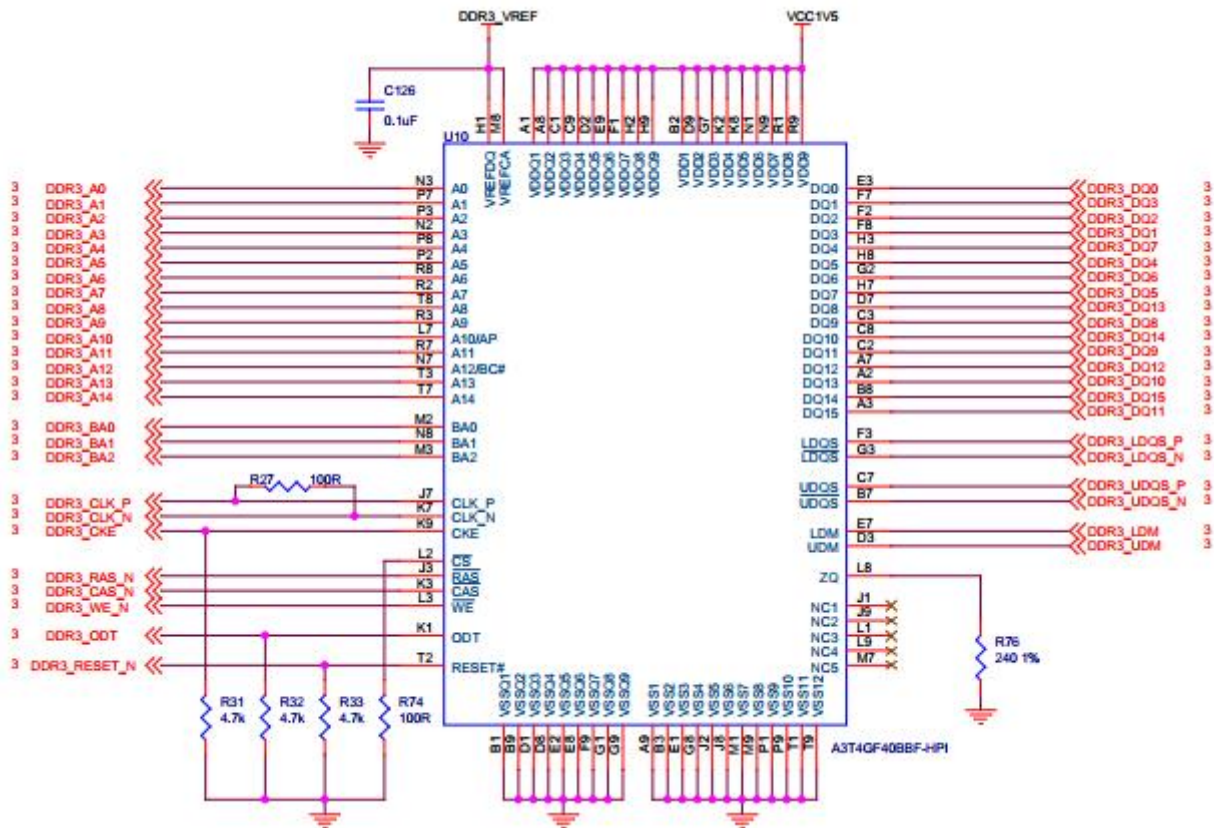


图 3-1 DDR3 DRAM 原理图部分

图 3-2 为 DDR3 DRAM 实物图



图 3-2 DDR3 DRAM 实物图

DDR3 DRAM 引脚分配:

引脚名称	FPGA 引脚
DDR3_LDQS_P	L4

DDR3_LDQS_N	L3
DDR3_UDQS_P	P2
DDR3_UDQS_N	P1
DDR3_DQ[0]	L2
DDR3_DQ [1]	L1
DDR3_DQ [2]	K2
DDR3_DQ [3]	K1
DDR3_DQ [4]	H2
DDR3_DQ [5]	H1
DDR3_DQ [6]	J3
DDR3_DQ [7]	J1
DDR3_DQ [8]	M3
DDR3_DQ [9]	M1
DDR3_DQ [10]	N2
DDR3_DQ [11]	N1
DDR3_DQ [12]	T2
DDR3_DQ [13]	T1
DDR3_DQ [14]	U2
DDR3_DQ [15]	U1
DDR3_LDM	K3
DDR3_UDM	K4
DDR3_A[0]	J7
DDR3_A [1]	J6
DDR3_A [2]	H5
DDR3_A [3]	L7
DDR3_A [4]	F3
DDR3_A [5]	H4
DDR3_A [6]	H3
DDR3_A [7]	H6
DDR3_A [8]	D2
DDR3_A [9]	D1
DDR3_A [10]	F4

DDR3_A [11]	D3
DDR3_A [12]	G6
DDR3_A [13]	F6
DDR3_BA [0]	F2
DDR3_BA [1]	F1
DDR3_BA [2]	E1
DDR3_RAS_N	L5
DDR3_CAS_N	K5
DDR3_WE_N	E3
DDR3_ODT	K6
DDR3_RESET_N	E4
DDR3_CLK_P	G3
DDR3_CLK_N	G1
DDR3_CKE	H7

(四) QSPI Flash

核心板配有一片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 GD25Q128，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 4-1。

位号	芯片类型	容量	厂家
U11	GD25Q128	128Mbit	兆易创新

表4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK 的 CFG_CCLK0 上，其它数据和片选信号分别连接到 BANKL5 的 D00~D03 和 FCS 管脚上。图 4-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

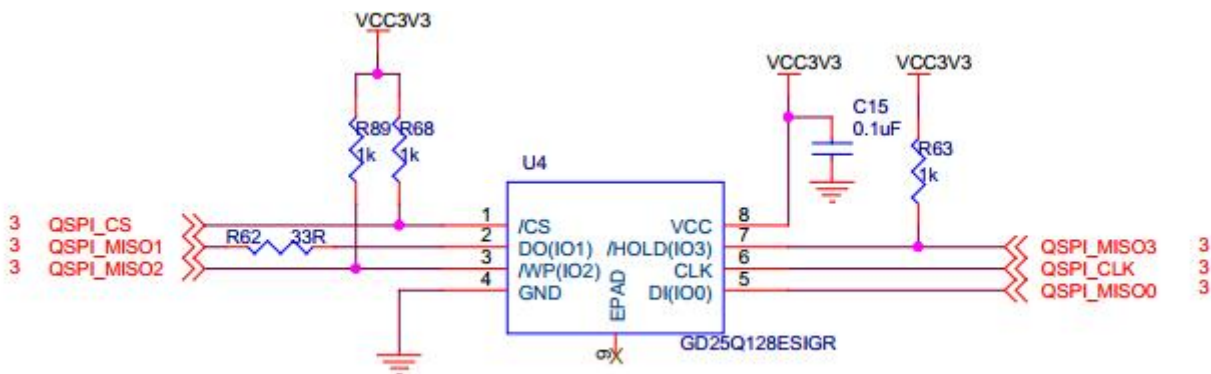


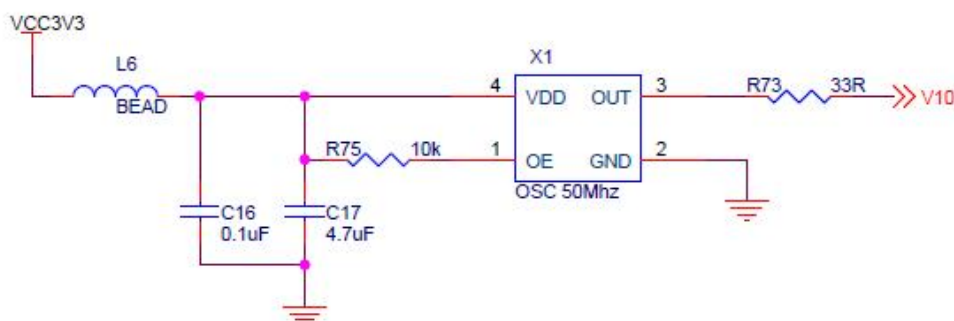
图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_CLK	R15
QSPI_CS	V3
QSPI_MISO0	T13
QSPI_MISO1	R13
QSPI_MISO2	T14
QSPI_MISO3	V14

(五) FPGA 时钟

板上提供时钟源 50M 有源晶振电路。晶振输出连接到 FPGA 的全局时钟(GCLK Pin V10), 这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路, 用户可以通过配置 FPGA 内部的 PLLs 和 DCMs 来实现更高的时钟。



CLOCK

图 5-1 核心板时钟源

时钟引脚分配:

信号名称	FPGA 引脚
50MHz 时钟输入	V10

(六) LED 灯

核心开发板除了电源指示灯和串口指示灯，还板载了 4 个用户 LED 发光二极管和 1 个 FPGA 配置指示 LED 发光二极管。4 个用户 LED 部分的原理图如图 6-1，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。

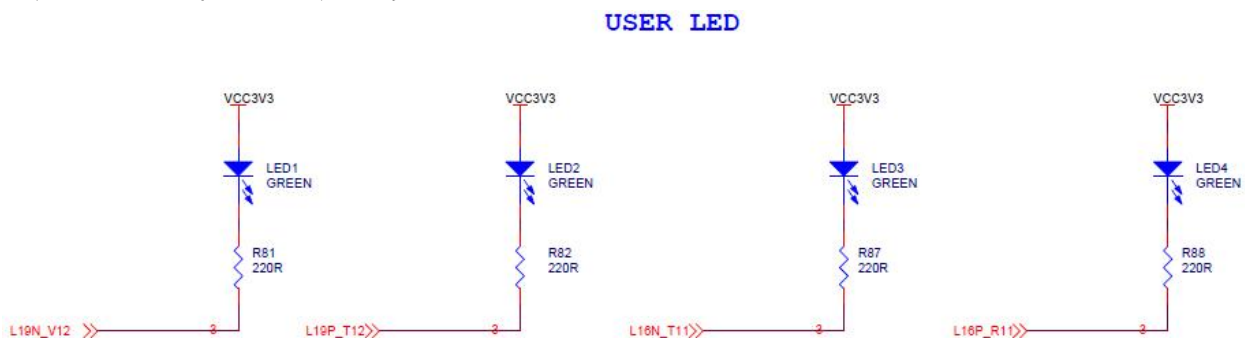


图 6-1 用户 LED 原理图

1 个 FPGA 配置指示 LED 分别为 DONE LED，当 FPGA 没有配置程序时，DONE LED 熄灭；FPGA 配置成功后，DONE LED 点亮。配置指示 LED 的原理图如图 6-2。

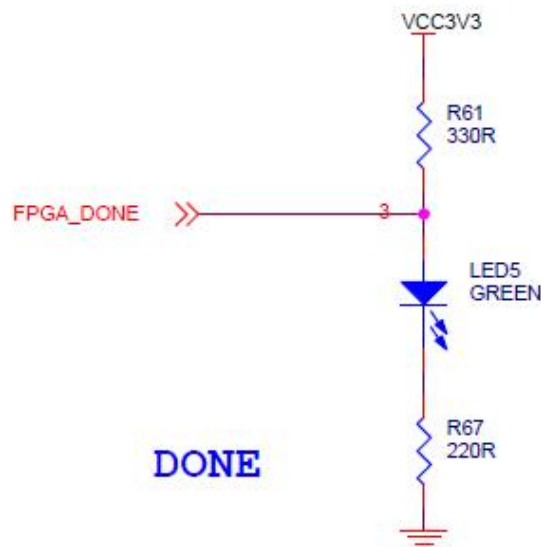


图 6-2 配置 LED 原理图

图 6-3 为 LED 实物图



图 6-3 配置指示 LED 实物图

LED 引脚分配:

引脚名称	FPGA 引脚
LED1	V12
LED2	T12
LED3	T11
LED4	R11

(七) 按键

开发板板载了 1 个复位按键(RESET), 按键为低电平有效, 按键的原理图如图 7-1 所示

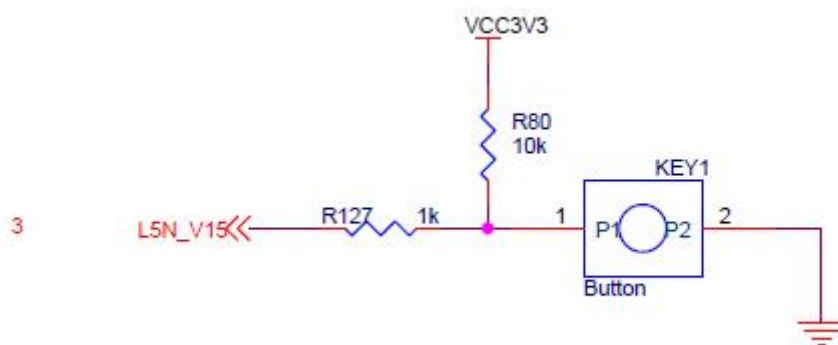


图 7-1 复位按键原理图

图 7-2 为 6 个独立按键实物图



图 7-2 复位按键实物图

按键引脚分配:

按键名称	FPGA 引脚	按键标号
------	---------	------

RESET	V15	KEY1
-------	-----	------

(八) 电源

电源输入：开发板供电电压为 DC5V，可以使用电脑的 USB 供电或者底板供电。开发板上的电源设计示意图如下：

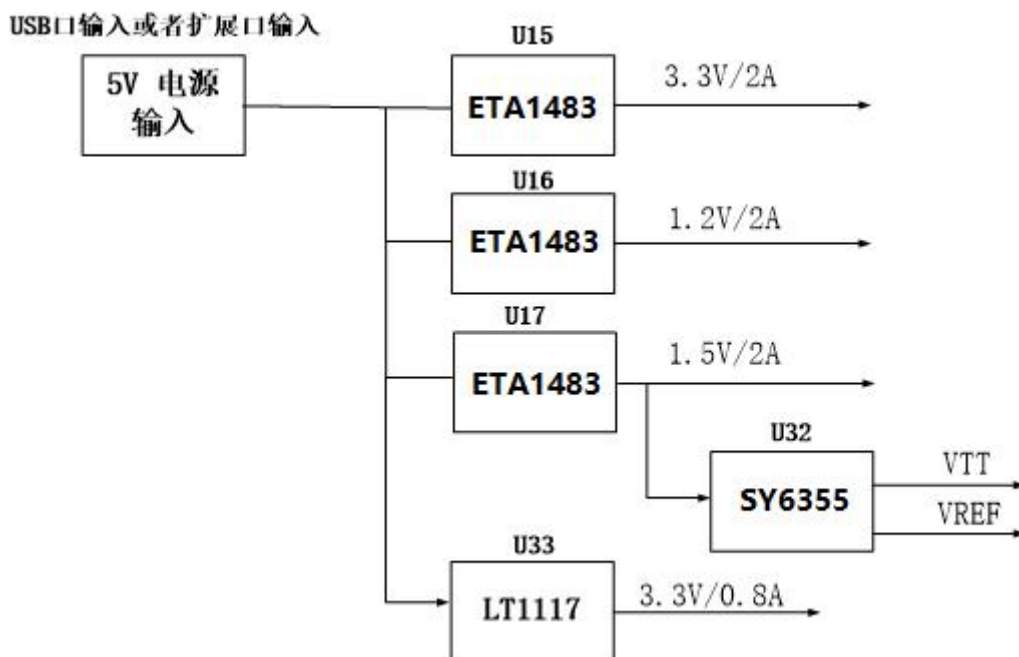


图 8-1 原理图中电源接口部分

开发板使用+5V 供电，通过三路 DC/DC 电源芯片 ETA1483 转化成+3.3V，+1.2V，+1.5V 三路电源，通过一路 LDO LT1117 产生+3.3V 电源，1.5V 通过 TI 的 SY6355 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

电源	功能
+3.3V	串口, FLASH, FPGA
+1.2V	FPGA Core
+1.5V	DDR3, FPGA Bank3
VREF, VTT	DDR3
+3.3V	FPGA Bank0, Bank1 VCCIO

FPGA 的 BANK0, BANK1 的 IO 电压可以通过板上的 LDO 芯片 (U33) 供电, 默认的 IO

电平为 3.3V, 如果用户需要外接其它电平设备, 只需要相应的更换 LDO 芯片 AMS1117。比如更换为 AMS1117-2.5V, BANK0,BANK1 的 IO 电平标准就为 2.5V, 如更换为 AMS1117-1.8V, BANK0,BANK1 的 IO 电平标准就为 1.8V。

FPGA 每个 BANK 电压分配:

BANK	功能	电压	备注
BANK0	连接到扩展口 J3, J4	3.3V	电平可以通过 LDO 调整
BANK1	连接到扩展口 J4, J6	3.3V	电平可以通过 LDO 调整
BANK2	扩展口 J7, QSPI FLASH, LED, KEY	3.3V	电平固定
BANK3	DDR3	1.5V	电平固定

我们在设计 PCB 的时候, 采用 8 层 PCB, 每层都有单独的电源或者地层参考, 保证阻抗的连续, 另外 FPGA 到扩展口的长度严格控制等长, 保证 FPGA 到扩展口之间时序延迟的一致性, IO 的差分阻抗走线控制在 100OHM, 满足高速 LVDS 的数据通信。在 PCB 板上我们预留了各个电源的测试点, 以使用户确认板上的电压。



图 8-2 电源测试点

(九) JTAG

首先我们来说 FPGA 的配置和调试接口: JTAG 接口。JTAG 接口的作用是将编译好的程序 (.sbit) 下载到 FPGA 中或把 FLASH 配置程序下载到 SPI FLASH, sbit 文件下载到 FPGA 后, 掉电以后就会丢失, 需要上电重新下载才可以。但下载到 FLASH 的 sfc 文件以后, 掉电以后就不会丢失, 重新上电后 FPGA 会读取 FLASH 中的配置文件并运行。

图 9-1 就是 JTAG 口的原理图部分，其中涉及到 TCK,TDO,TMS,TDI 这四个信号。这四个信号由 FPGA 引脚引出通过 33 欧姆电阻连接到 JTAG 连接器，起到对 FPGA 芯片的保护作用。

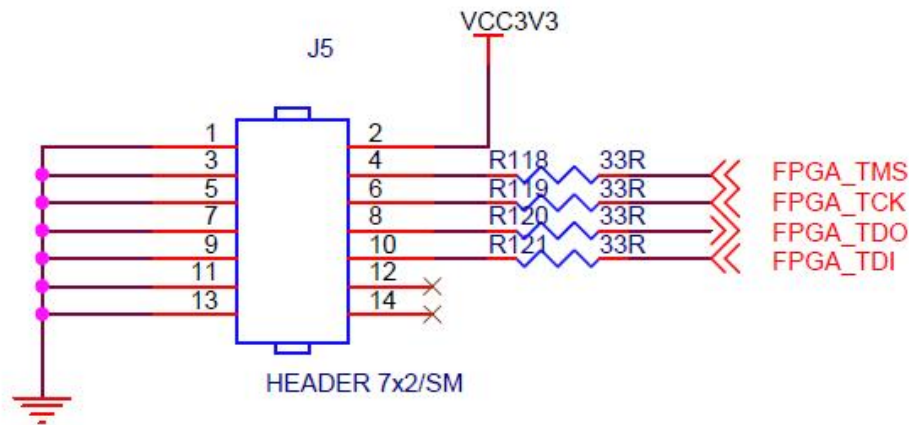


图 9-1 原理图中 JTAG 接口部分

JTAG 接口采用 14 针的 2.0mm 标准的连接器，图 9-2 为 JTAG 接口在开发板上的实物图

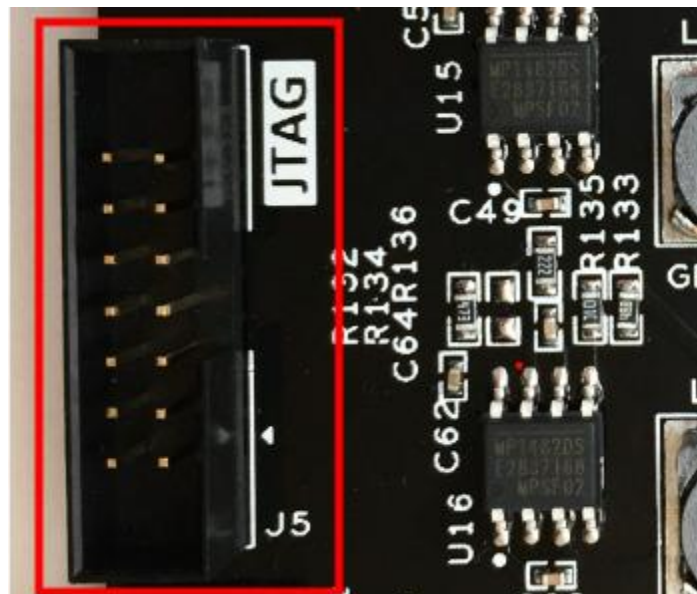


图 9-2 JTAG 接口实物图

(十) USB 转串

开发板包含了国产的USB-UAR芯片，USB接口采用MINI USB接口（和USB供电共用），可以用一根USB线将它连接到上PC的USB口进行串口数据通信。

图 10-1 为 USB 转串口的实物图

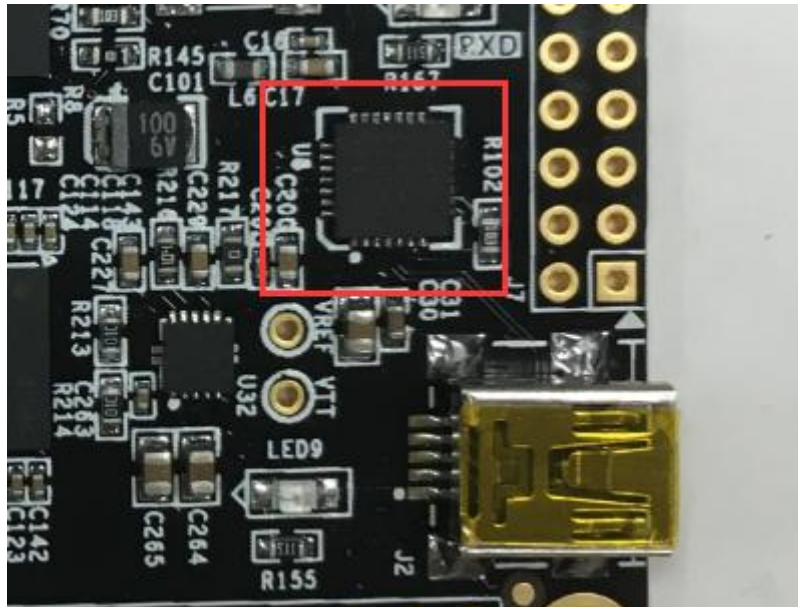


图 10-1 USB 转串口实物图

同时对串口信号设置了 2 个 led 指示灯(LED7, LED8), LED7 和 LED8 会指示串口是否有数据发出或者是否有数据接受, LED7 为串口数据发送指示灯, LED8 为数据接收指示灯。如图 10-2 所示,

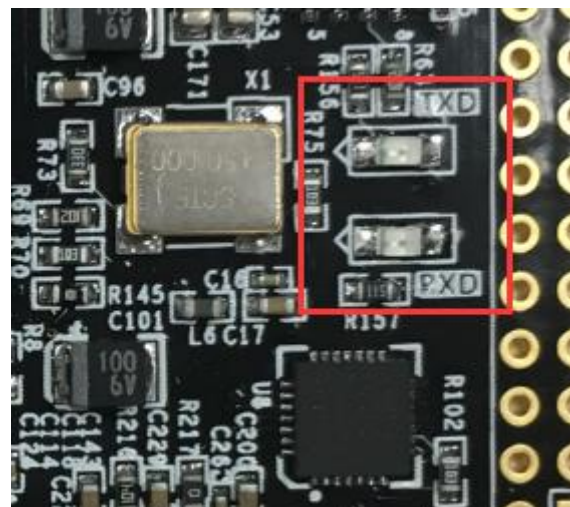


图 10-2 USB 转串口信号灯实物图

串口引脚分配:

引脚名称	FPGA 引脚
UART_RXD	V13
UART_TXD	U13
UART_CTS	N11
UART_RTS	M11

(十一) 扩展口

开发板预留 4 个扩展口，每个扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。这些 IO 口都是独立的 IO 口，没有跟其他设备复用。IO 口分别连接到 FPGA 的 Bank0, Bank1, Bank2 上，电平默认为 3.3V，Bank0, Bank1 的电平可以通过更换 LDO 芯片来改变。**扩展口的 IO 切勿直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

扩展口 J3 的电路如图 11-1 所示

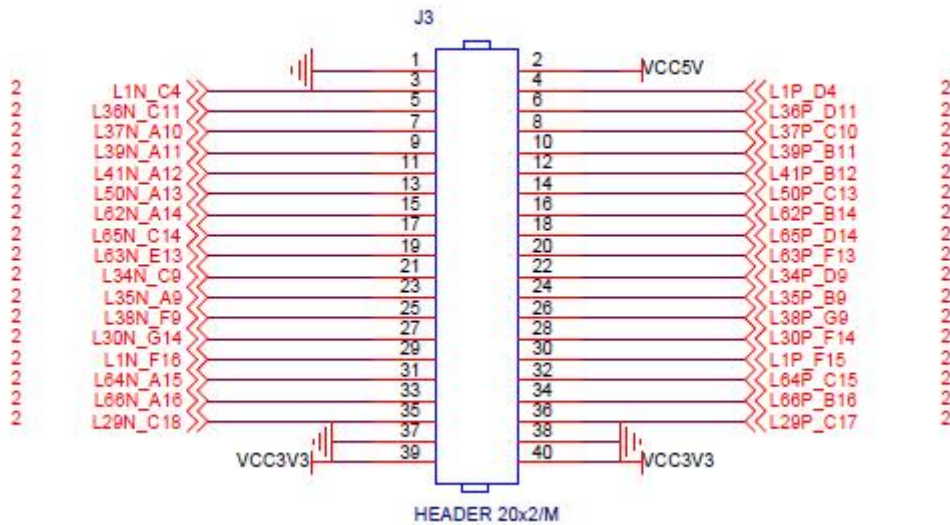


图 11-1 J3 扩展口原理图

扩展口 J4 的电路如图 11-2 所示

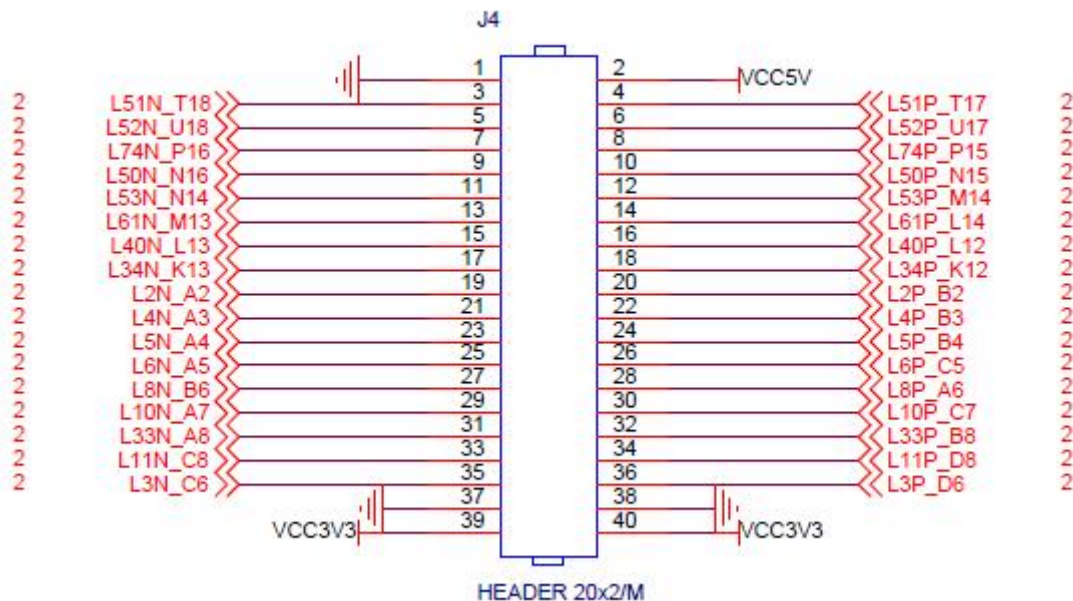


图 11-2 J4 扩展口原理图

扩展口 J6 的电路如图 11-3 所示

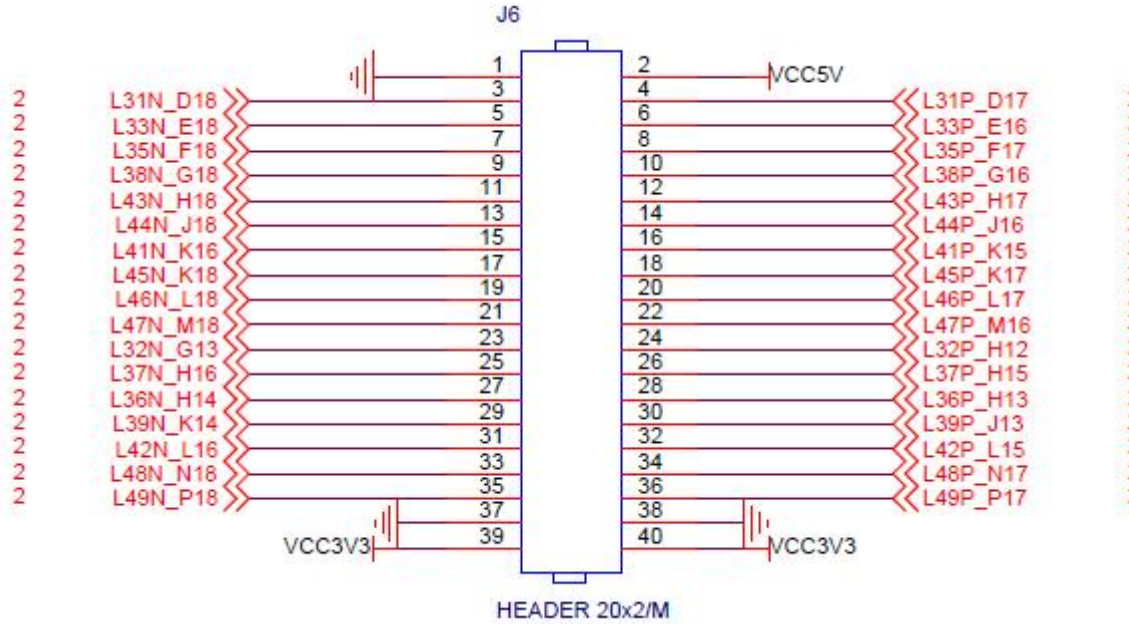


图 11-3 J6 扩展口原理图

扩展口 J7 的电路如图 11-4 所示

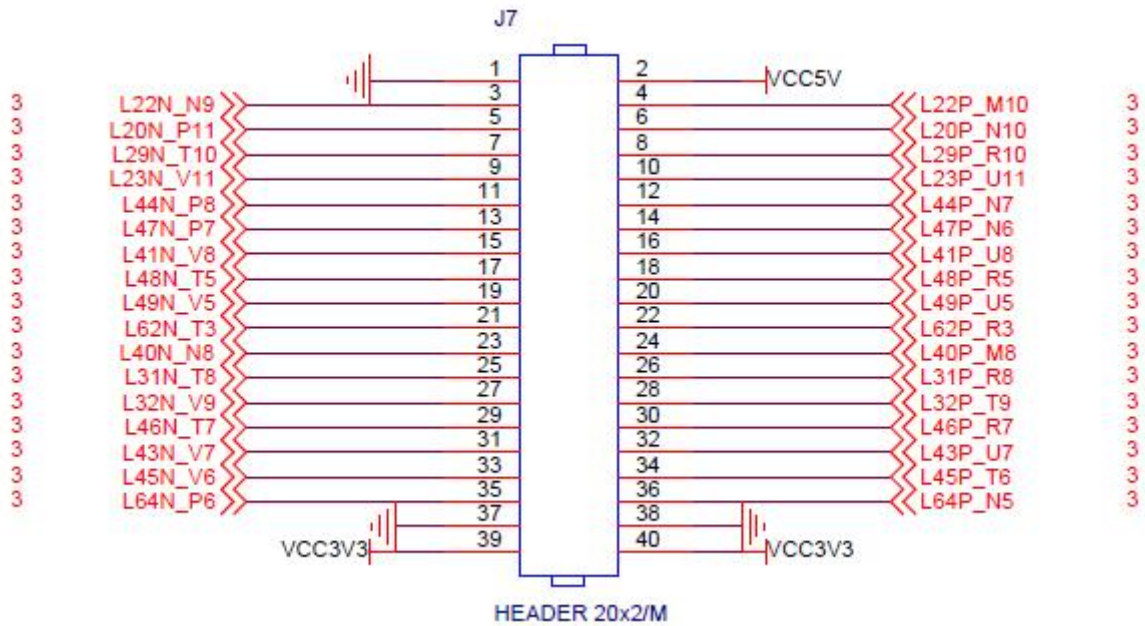


图 11-4 J7 扩展口原理图

J3 扩展口引脚分配如下，连接到 FPGA 的 BANK0,BANK1

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	C4	4	D4
5	C11	6	D11
7	A10	8	C10
9	A11	10	B11
11	A12	12	B12
13	A13	14	C13
15	A14	16	B14
17	C14	18	D14
19	E13	20	F13
21	C9	22	D9
23	A9	24	B9
25	F9	26	G9
27	G14	28	F14
29	F16	30	F15
31	A15	32	C15
33	A16	34	B16
35	C18	36	C17
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J4 扩展口引脚分配如下，连接到 FPGA 的 BANK0,BANK1。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	T18	4	T17
5	U18	6	U17
7	P16	8	P15
9	N16	10	N15
11	N14	12	M14

13	M13	14	L14
15	L13	16	L12
17	K13	18	K12
19	A2	20	B2
21	A3	22	B3
23	A4	24	B4
25	A5	26	C5
27	B6	28	A6
29	A7	30	C7
31	A8	32	B8
33	C8	34	D8
35	C6	36	D6
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J6 扩展口引脚分配如下，连接到 FPGA 的 BANK0,BANK1。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	D18	4	D17
5	E18	6	E16
7	F18	8	F17
9	G18	10	G16
11	H18	12	H17
13	J18	14	J16
15	K16	16	K15
17	K18	18	K17
19	L18	20	L17
21	M18	22	M16
23	G13	24	H12
25	H16	26	H15
27	H14	28	H13
29	K14	30	J13

31	L16	32	L15
33	N18	34	N17
35	P18	36	P17
37	GND	38	GND
39	VCC3V3	40	VCC3V3

J7 扩展口引脚分配如下，连接到 FPGA 的 BANK2。

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	VCC5V
3	N9	4	M10
5	P11	6	N10
7	T10	8	R10
9	V11	10	U11
11	P8	12	N7
13	P7	14	N6
15	V8	16	U8
17	T5	18	R5
19	V5	20	U5
21	T3	22	R3
23	N8	24	M8
25	T8	26	R8
27	V9	28	T9
29	T7	30	R7
31	V7	32	U7
33	V6	34	T6
35	P6	36	N5
37	GND	38	GND
39	VCC3V3	40	VCC3V3