

Logos FPGA 开发平台

用户手册

P50G 核心板



文档版本控制

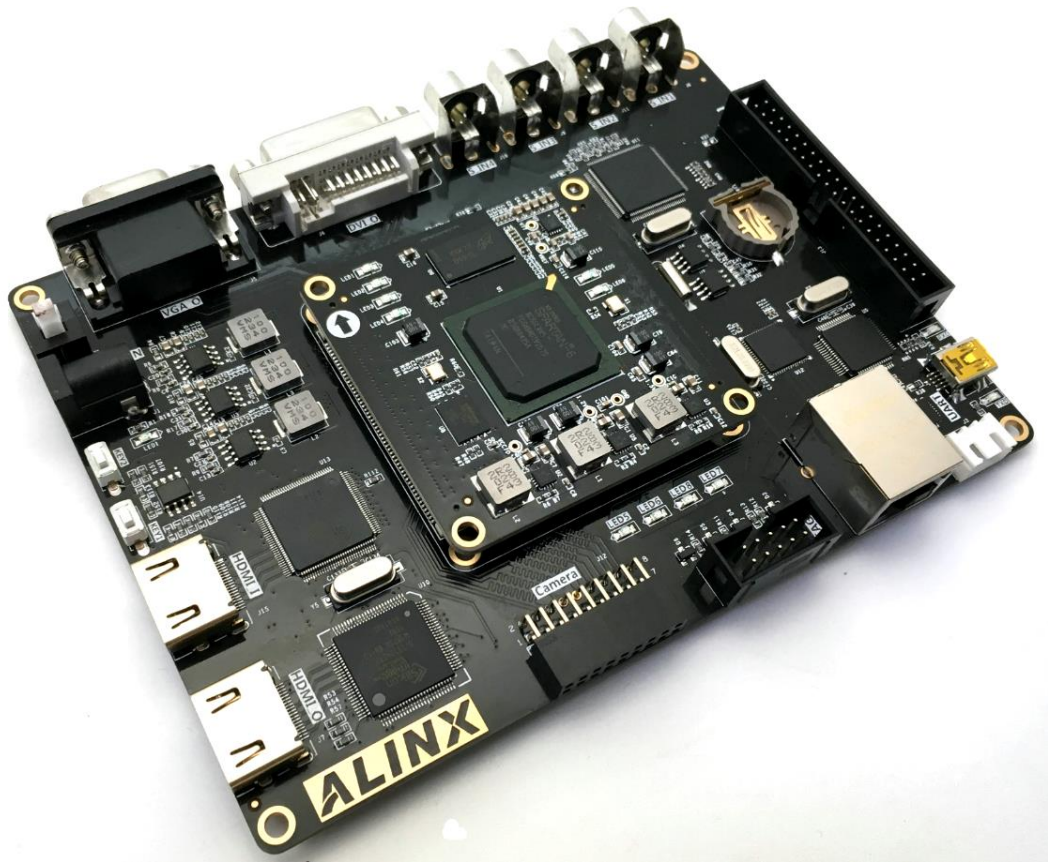
文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制	2
一、 开发板简介	5
二、 FPGA 核心板.....	10
(一) 简介	10
(二) FPGA.....	11
(三) 有源晶振.....	12
(四) DDR3	14
(五) QSPI Flash.....	16
(六) LED 灯	17
(七) 扩展接口	19
(八) 电源	23
(九) 结构图	26

专业级紫光同创 FPGA 视频图像处理开发平台（型号：AVP50G）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 FPGA 视频图像处理开发平台具备 HDMI 输入，DVI 输出，千兆以太网，CMOS Camera 接口和 Micro SD 卡座等外设。这极大的丰富了视频图像处理板的功能，不仅满足 FPGA 视频图像处理的功能，还为视频图像存储，视频图像的网络通信提供了可能。因此，这款开发平台可以堪称“专业级”和“全能级”。这样的一款产品非常适合即将从事或者正在从事 FPGA 视频图像处理或者视频图像通信及存储的学生、工程师等群体。



一、 开发板简介

在这里，对这款紫光同创 FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA+ DDR3+ FLASH 构成，承担视频图像处理的核心算法，充分利用了 FPGA 并行处理的能力，加上 FPGA 和 DDR3 之间的高速数据读写，整个系统的带宽高达 12Gb/s (800M*16bit)；另外 DDR3 容量高达 2Gbit，满足视频处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司 logos 系列的 PGL50G-6IFBG484 这款高速的 FPGA 芯片。我们选用的 FPGA 是 FBG 484 封装。FPGA 的 DDR 控制器的数据速率高达 800M，充分满足了四路 1080p 视频处理的需求。

下图为整个开发系统的原理框图：

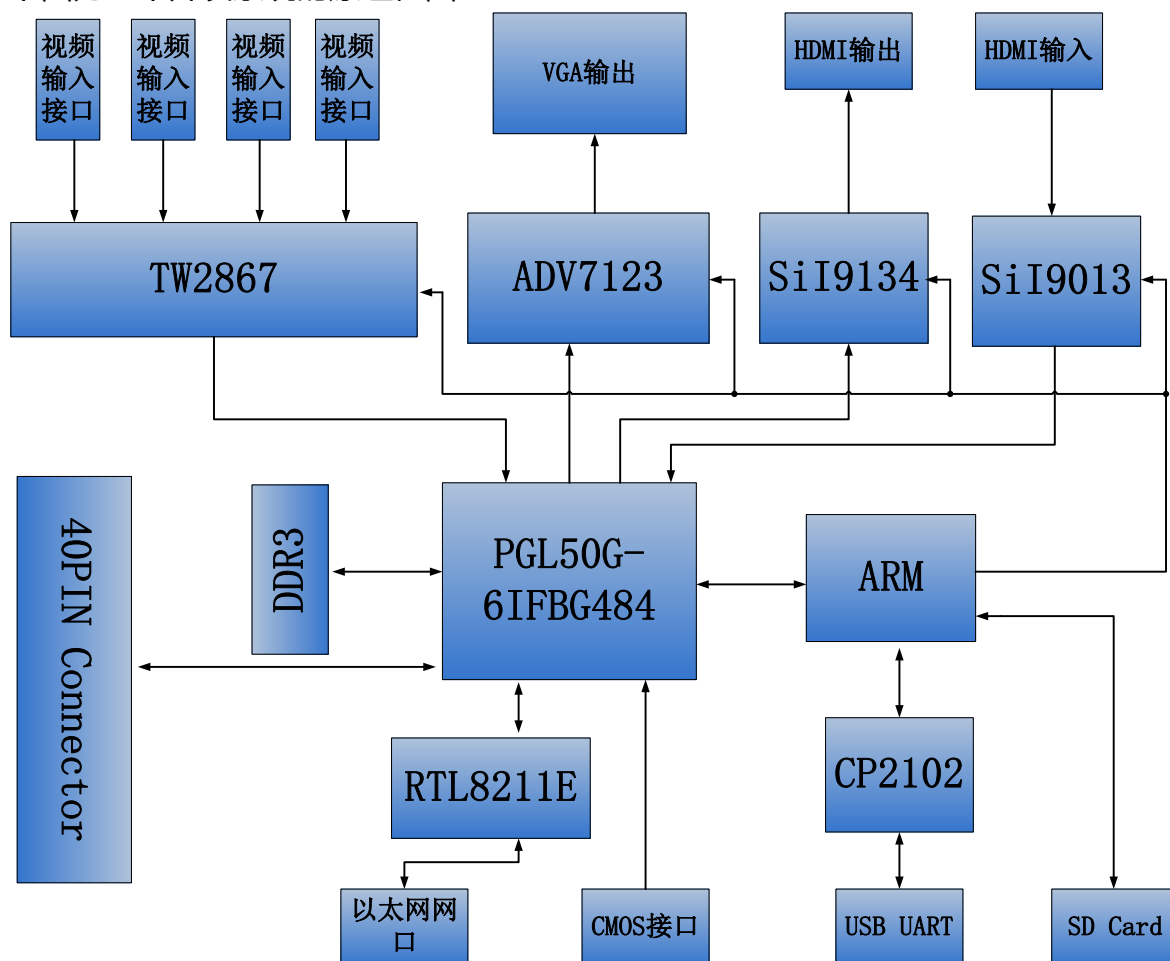


图 1-1 原理框图

通过这个框图，我们可以看到，我们这个开发平台所能实现的功能。

●四路视频输入

我们选用了 Techwell 公司的 TW2867, 可输入 4 路复合视频信号, PAL/NTSC/SECAM 自动识别, 输出 BT656, 可多路复用总线, FPGA 端解复用, 节省 IO;

- 一路 VGA 输出

我们选用了 ADI 公司的三通道、10 位 DAC 转换芯片 ADV7123, 支持 RGB 数字输入和 VGA 接口的输出。支持最大 240MSPS 的转换速率, 最高支持 1080p@60Hz s 视频图像输出;

- 一路 HDMI 输出

我们选用了 Sillion Image 公司的 SIL9134 HDMI 编码芯片, 最高支持 1080P@60Hz 输出, 支持 3D 输出。

- 一路 HDMI 输入

我们选用了 Sillion Image 公司的 SIL9013 HDMI 解码芯片, 最高支持 1080P@60Hz 输入, 支持不同格式的数据输出。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 Realtek 公司的 RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率;

- 一路 CMOS 输入

CMOS 摄像头接口, 可以接黑金公司的 30 万的 OV7670 摄像头或 500 万的 OV5640 摄像头模组;

同时, 在扩展板上, 我们还板载了一片 ARM 芯片 (STM32F103), 通过 I2C 配置开发板上各个接口芯片和 FPGA。

视频输入与输出

a) 视频输入

视频开发板通过 TW2867, 可输入 4 路复合视频信号, PAL/NTSC/SECAM 自动识别, 输出 BT656; 或者通过 SIL9013, 可以输入 HDMI 视频信号; 再或者通过 CMOS 接口, 可以输入 CMOS 摄像头采集的图像信号。因此, 开发板可以用的视频信号源有很多, 比如

- 1) 监控摄像头, 通过此开发板, 可以实现四路监控摄像头通过显示器 (VGA/DVI/HDMI 接口均可, 可实现 1080p) 进行分屏显示, 我们的开发板就相当于下图中的数字视频主机。

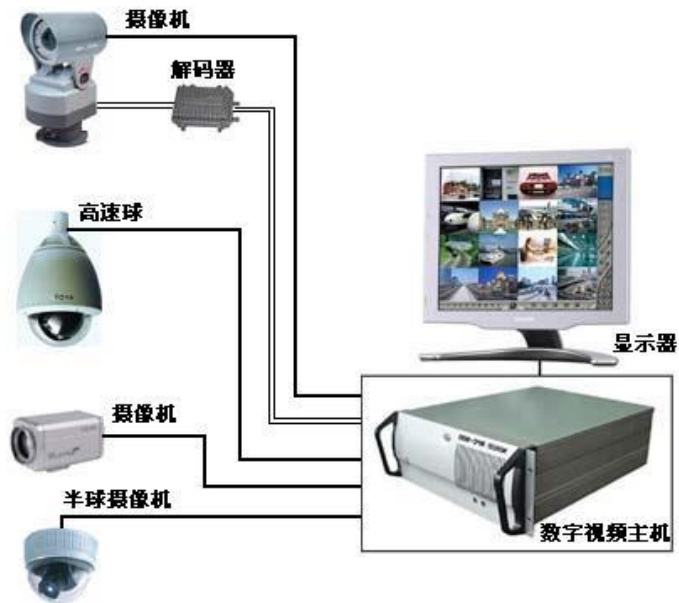


图 1-2 数字视频主机

- 2) 机顶盒, 比如通过连接机顶盒的 HDMI 输出来获得的视频源, 可以通过我们的开发平台实现画中画 (PIP) 功能



图 1-2 HDMI 输入视频

- 3) CMOS 摄像头, 和黑金开发的 30 万摄像头或者 500 万摄像头配置使用, 在 VGA 显示器或者 HDMI 显示器上实时显示 1080P 的视频图像。

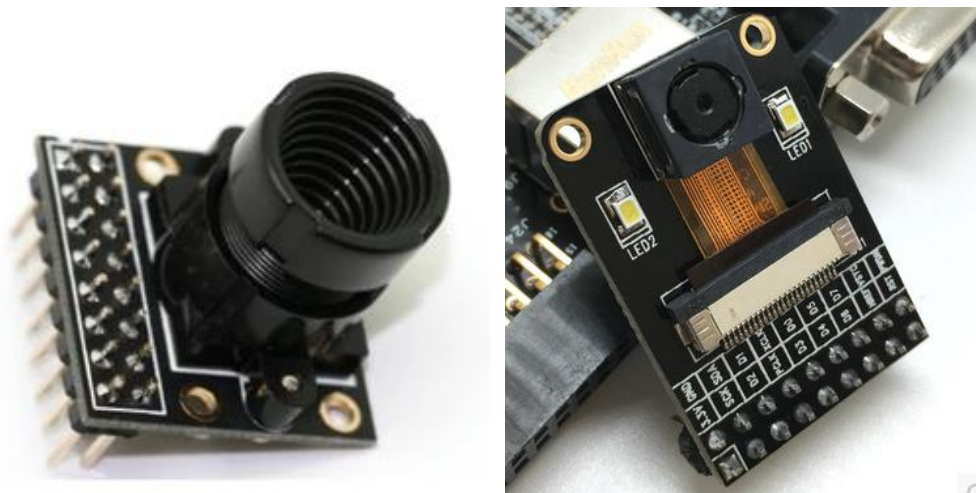


图 1-2 摄像头输入

b) 视频输出

视频开发板的视频输出可以有 2 种：可以连接 VGA 显示器显示 VGA 图像；可以连接 HDMI 显示器或电视显示 HDMI 视频信号。VGA 和 HDMI 输出的视频显示最高支持为 1080P@60Hz。

目前的电脑显示器基本上都会支持 VGA 或者 HDMI 输入中的一种。只要连接显示器的 VGA/HDMI 接口中的一个接口到我们视频开发板，就能实现视频图像的效果演示。下图为带 VGA 和 HDMI 显示接口的电脑显示器。



图 1-3 显示器接口



图 1-4 视频输出

二、 FPGA 核心板

(一) 简介

P50G(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos 系列 50G 的 PGL50GFBG484 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 MICRON 公司的 MT41J128M16LA-187E 这款 DDR3 芯片, 容量为 2Gbit; 16bit 总线模式, FPGA 和 DDR3 之间的读写数据带宽高达 12Gb/s; 这样的配置, 可以满足 4 路 1080p 视频处理的需求。

这款核心板还扩展出 172 个 IO 口, 对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长处理, 并且核心板尺寸仅为 60*60 (mm), 对于二次开发来说, 非常适合。

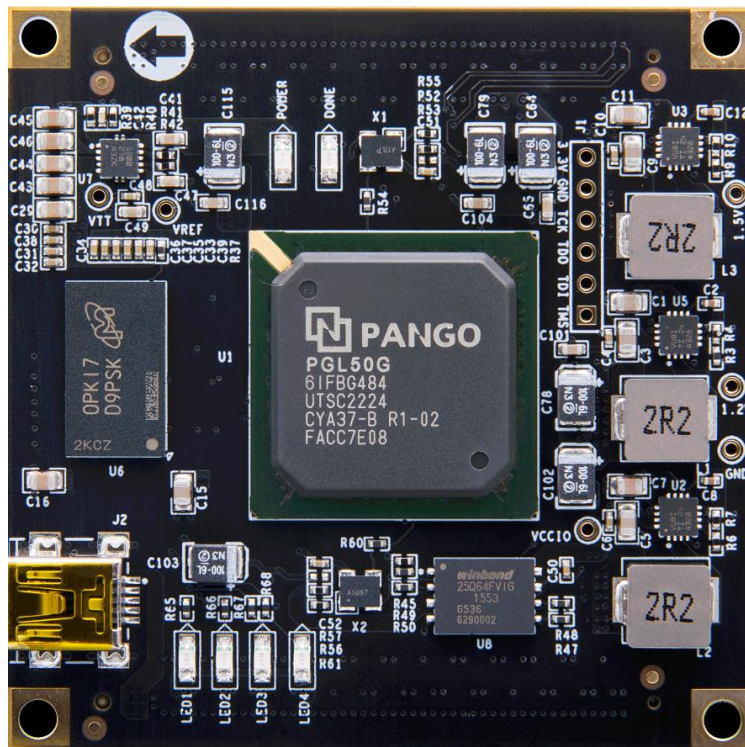


图 2-1-1 P50G 核心板正面图



图 2-2-2 FPGA 芯片实物

其中 FPGA 芯片 PGL50G 的主要参数见如下红色框所示：

表 2-2-1 PGL50G 的主要参数

	器件型号	PGL12G	PGL22G	PGL22GS	PGL25G	PGL50G	PGL50H	PGL100H*
逻辑资源	等效 LUT4	12480	21043	21043	27072	51360	51360	102451
	Flip-Flops (个)	15600	26304	26304	33840	64200	64200	128064
RAM 资源	分布式 RAM(Kbit)	85	70	70	242	544	544	993
	块 RAM 数量(18Kbit/块)	30	48	48	60	134	134	286
	块 RAM(Kbit)	540	864	864	1080	2412	2412	5148
时钟资源	PLL	4	6	6	4	5	5	8
IO 资源	最大用户 IO	160	240	140	308	341	304	498
	最大差分 IO(对)	80	120	68	154	170	152	249
	DDR3 (Mbps)	800	800#	800	800	800	800	800
硬核资源	APM(18*18)	20	30	30	40	84	84	188
	ADC 硬核	1	1	—	—	—	—	—
	PCIe Gen2x4	—	—	—	—	—	1	1
	AES 模块	1	1	1	0	1	1	1
	HSST(6.375Gbps)	—	—	—	—	—	4	8

(三) 有源晶振

核心板板载了 50M 的有源晶振和 27M 的有源晶振，50MHz 时钟连接到 FPGA 的 AB13 引脚，27MHz 时钟连接到 FPGA 的 B10 引脚。

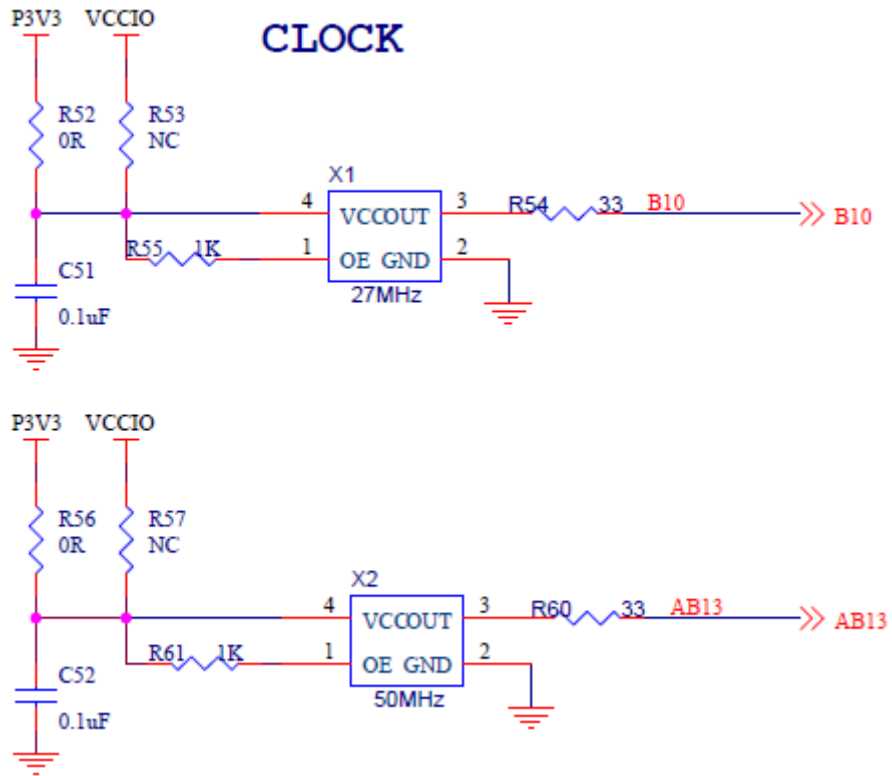


图 2-3-1 晶振原理图

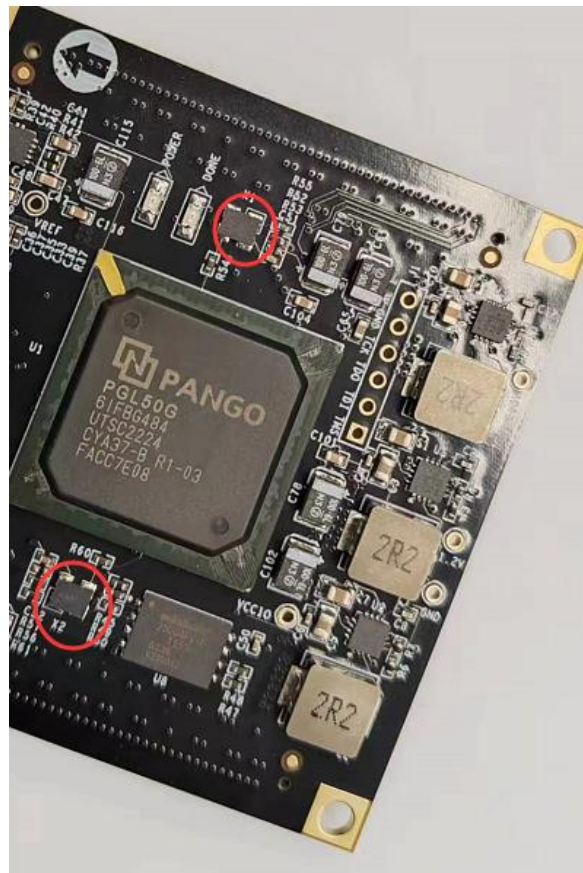


图 2-3-2 晶振实物图

FPGA 引脚分配:

输入时钟	FPGA 引脚
50MHz	AB13
27MHz	B10

(四) DDR3

P50G 核心板上配有 1 片 Micron(美光) 的 2Gbit (256MB) 的 DDR3 芯片, 型号为 MT41J128M16HA-125(兼容 MT41K128M16HA-125)。DDR 的总线宽度共为 16bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK B3 存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U6	MT41J128M16HA-125	128M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制, 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-1 所示:

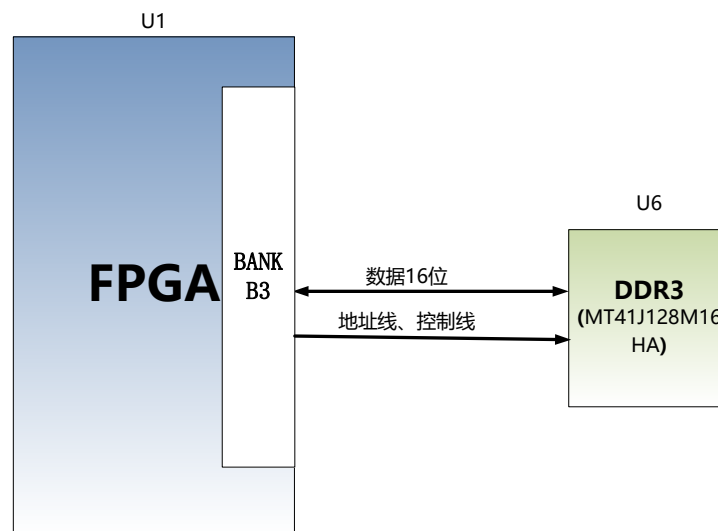


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_LDQS_P	L3
DDR3_LDQS_N	L1
DDR3_UDQS_P	T2
DDR3_UDQS_N	T1
DDR3_LDM	L4
DDR3_UDM	M3
DDR3_DQ[0]	N3
DDR3_DQ[1]	N1
DDR3_DQ[2]	M2
DDR3_DQ[3]	M1
DDR3_DQ[4]	J3
DDR3_DQ[5]	J1
DDR3_DQ[6]	K2
DDR3_DQ[7]	K1
DDR3_DQ[8]	P2
DDR3_DQ[9]	P1
DDR3_DQ[10]	R3
DDR3_DQ[11]	R1
DDR3_DQ[12]	U3
DDR3_DQ[13]	U1
DDR3_DQ[14]	V2
DDR3_DQ[15]	V1
DDR3_A[0]	H2
DDR3_A[1]	H1

DDR3_A[2]	H5
DDR3_A[3]	K6
DDR3_A[4]	F3
DDR3_A[5]	K3
DDR3_A[6]	J4
DDR3_A[7]	H6
DDR3_A[8]	E3
DDR3_A[9]	E1
DDR3_A[10]	G4
DDR3_A[11]	C1
DDR3_A[12]	D1
DDR3_A[13]	G6
DDR3_A[14]	F5
DDR3_nRAS	K5
DDR3_nWE	F2
DDR3_ODT	J6
DDR3_RESET	C3
DDR3_BA[0]	G3
DDR3_BA[1]	G1
DDR3_BA[2]	F1
DDR3_nCAS	K4
DDR3_CKE	D2
DDR3_CLK_P	H4
DDR3_CLK_N	H3

(五) QSPI Flash

核心板上使用了一片 64Mbit 大小的 SPI FLASH 芯片，型号为 W25Q64，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

表 2-5-1 QSPI Flash 的型号和参数

位号	芯片类型	容量	厂家
U8	W25Q64	64Mbit	winbond

配置芯片引脚分配:

引脚名称	FPGA 引脚
SPI_CLK	Y21
SPI_CSn	T5
SPI_DIN	AB20
SPI_DOUT	AA20

下图为 SPI Flash 部分原理图。

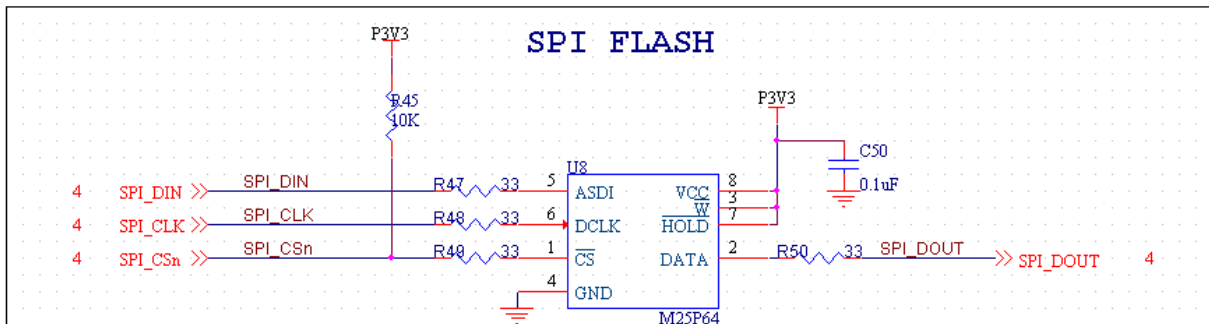


图 2-5-1 SPI FLASH 部分原理图



图 2-5-2 SPI FLASH 部分实物图

(六) LED 灯

P50G 核心板上核心板板载了 6 个 LED 发光二极管，4 个用户 LED 发光二极管，一个电源指示灯和 1 个 FPGA 配置指示 LED 发光二极管。电源指示灯连接到 P3V3，如果 3.3V 电压

正常，LED 灯亮。FPGA 配置指示灯指示 FPGA 是否配置成功，当 FPGA 没有配置程序时配置指示灯熄灭；FPGA 配置成功后，配置指示灯点亮。电源灯和配置指示灯的原理图如下图。

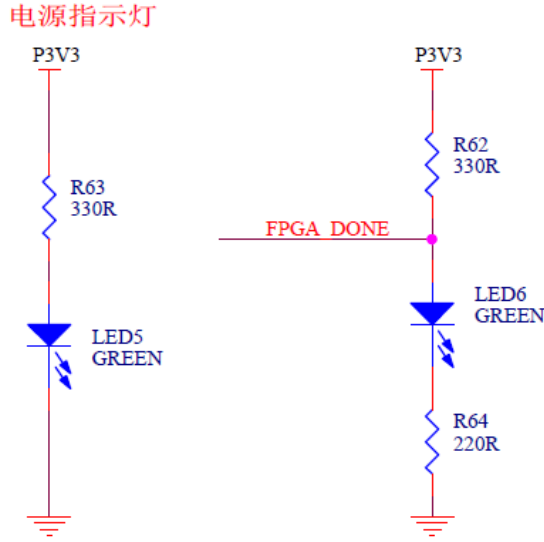


图 2-6-1 电源灯和配置指示灯原理图

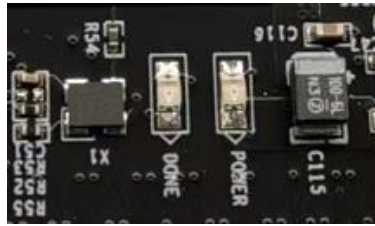


图 2-6-2 电源 LED 和配置 LED 实物图

4 个用户 LED 部分的原理图如下图，当 FPGA 的引脚输出为逻辑 0 时，LED 会被点亮。

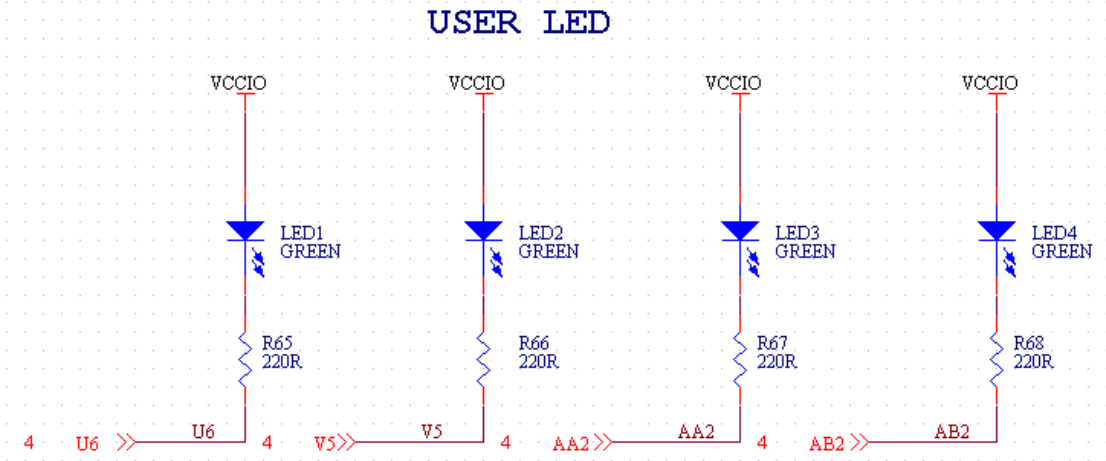


图 2-6-3 4 个用户 LED 原理图

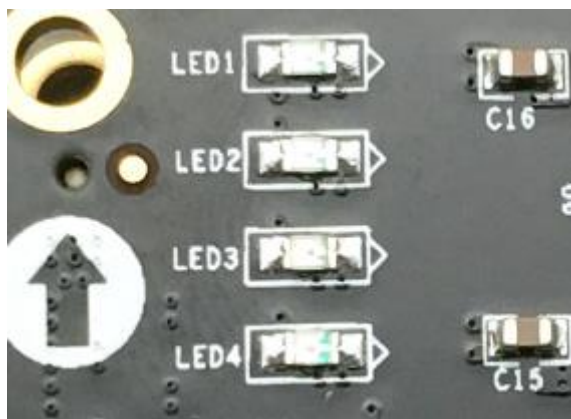


图 2-6-4 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

引脚名称	FPGA 引脚
LED0	U6
LED1	V5
LED2	AA2
LED3	AB2

(七) 扩展接口

核心板的背面核心板一共扩展出 2 个高速扩展口, 使用 2 个 100Pin 的板间连接器和扩展板连接。连接器采用 AMP 泰科 BTB 板对板连接器 5177984-4, PIN 脚间距为 0.8mm, 公头, 连接器的高度为 5mm。和底板的母座 AMP 连接器 5177983-4 配置实现高速数据通信。

注意: BANK B0、B1、B2 的 IO 口默认连接电平为 3.3V。BANK 的 IO 电压可通过调整电源的电阻阻值进行改变。

扩展口 P1

100Pin 的连接器 P1 用来扩展 FPGA 的 BANK B0 与 BANK B1 的普通 IO, P1 扩展口的管脚分配如表 2-7-1 所示:

2-7-1 表: 扩展口 P1 引脚分配

P1 管脚	信号名称	FPGA 管脚号	电平标准	P1 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	VCC	-	3.3V	PIN2	VCC	-	3.3V
PIN3	VCC	-	3.3V	PIN4	VCC	-	3.3V
PIN5	IO0_L35P	C11	3.3V	PIN6	IO0_L35N	A11	3.3V
PIN7	IO0_L1P	A3	3.3V	PIN8	IO0_L2P	C5	3.3V

PIN9	IO0_L1N	A4	3.3V	PIN10	IO0_L2N	A5	3.3V
PIN11	IO0_L3P	D6	3.3V	PIN12	IO0_L4P	B6	3.3V
PIN13	IO0_L3N	C6	3.3V	PIN14	IO0_L4N	A6	3.3V
PIN15	IO0_L5P	C7	3.3V	PIN16	IO0_L6P	B8	3.3V
PIN17	IO0_L5N	A7	3.3V	PIN18	IO0_L6N	A8	3.3V
PIN19	IO0_L32P	D7	3.3V	PIN20	IO0_L8P	C9	3.3V
PIN21	IO0_L32N	D8	3.3V	PIN22	IO0_L8N	A9	3.3V
PIN23	GND	-	地	PIN24	GND	-	地
PIN25	IO0_L7P	D9	3.3V	PIN26	IO0_L33P	D10	3.3V
PIN27	IO0_L7N	C8	3.3V	PIN28	IO0_L33N	C10	3.3V
PIN29	IO0_L36P	D11	3.3V	PIN30	IO0_L37P	B12	3.3V
PIN31	IO0_L36N	C12	3.3V	PIN32	IO0_L37N	A12	3.3V
PIN33	IO0_L38P	C13	3.3V	PIN34	IO0_L49P	D14	3.3V
PIN35	IO0_L38N	A13	3.3V	PIN36	IO0_L49N	C14	3.3V
PIN37	IO0_L50P	B14	3.3V	PIN38	IO0_L51P	C15	3.3V
PIN39	IO0_L50N	A14	3.3V	PIN40	IO0_L51N	A15	3.3V
PIN41	GND	-	地	PIN42	GND	-	地
PIN43	IO0_L62P	D15	3.3V	PIN44	IO0_L63P	B16	3.3V
PIN45	IO0_L62N	C16	3.3V	PIN46	IO0_L63N	A16	3.3V
PIN47	IO0_L64P	C17	3.3V	PIN48	IO0_L65P	B18	3.3V
PIN49	IO0_L64N	A17	3.3V	PIN50	IO0_L65N	A18	3.3V
PIN51	IO0_L66P	E16	3.3V	PIN52	IO1_L1P	C19	3.3V
PIN53	IO0_L66N	D17	3.3V	PIN54	IO1_L1N	B20	3.3V
PIN55	IO1_L19P	B21	3.3V	PIN56	IO1_L20P	A20	3.3V
PIN57	IO1_L19N	B22	3.3V	PIN58	IO1_L20N	A21	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	IO1_L36P	J17	3.3V	PIN62	IO1_L30P	F18	3.3V
PIN63	IO1_L36N	K17	3.3V	PIN64	IO1_L30N	F19	3.3V
PIN65	IO1_L31P	D21	3.3V	PIN66	IO1_L32P	C20	3.3V
PIN67	IO1_L31N	D22	3.3V	PIN68	IO1_L32N	C22	3.3V
PIN69	IO1_L33P	G19	3.3V	PIN70	IO1_L34P	H19	3.3V
PIN71	IO1_L33N	F20	3.3V	PIN72	IO1_L34N	H18	3.3V

PIN73	IO1_L35P	E20	3.3V	PIN74	IO1_L29P	D19	3.3V
PIN75	IO1_L35N	E22	3.3V	PIN76	IO1_L29N	D20	3.3V
PIN77	GND	-	地	PIN78	GND	-	地
PIN79	IO1_L37P	F21	3.3V	PIN80	IO1_L38P	H20	3.3V
PIN81	IO1_L37N	F22	3.3V	PIN82	IO1_L38N	J19	3.3V
PIN83	IO1_L39P	G20	3.3V	PIN84	IO1_L40P	K20	3.3V
PIN85	IO1_L39N	G22	3.3V	PIN86	IO1_L40N	K19	3.3V
PIN77	IO1_L41P	H21	3.3V	PIN88	IO1_L42P	M20	3.3V
PIN89	IO1_L41N	H22	3.3V	PIN90	IO1_L42N	L19	3.3V
PIN91	IO1_L43P	J20	3.3V	PIN92	IO1_L44P	K21	3.3V
PIN93	IO1_L43N	J22	3.3V	PIN94	IO1_L44N	K22	3.3V
PIN95	GND	-	地	PIN96	GND	-	地
PIN97	TDO	A19	3.3V	PIN98	TMS	C18	3.3V
PIN99	TCK	G15	3.3V	PIN100	TDI	E18	3.3V

图 2-7-1 为 P1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-7-1 P1 扩展口连接器的实物图

扩展口 P2

100Pin 的连接器 P2 用来扩展 FPGA 的 BANK B1 与 BANK B2 的普通 IO，P2 扩展口的管脚分配如表 2-7-2 所示：

2-7-2 表：扩展口 P2 引脚分配

P1 管脚	信号名称	FPGA 管脚号	电平标准	P1 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	VCC	-	3.3V	PIN2	VCC	-	3.3V
PIN3	VCC	-	3.3V	PIN4	VCC	-	3.3V
PIN5	IO2_L32P	Y11	3.3V	PIN6	IO2_L32N	AB11	3.3V
PIN7	IO2_L57P	AA4	3.3V	PIN8	IO2_L58P	Y3	3.3V
PIN9	IO2_L57N	AB4	3.3V	PIN10	IO2_L58N	AB3	3.3V

PIN11	IO2_L54P	Y5	3.3V	PIN12	IO2_L49P	AA6	3.3V
PIN13	IO2_L54N	AB5	3.3V	PIN14	IO2_L49N	AB6	3.3V
PIN15	IO2_L50P	U9	3.3V	PIN16	IO2_L53P	W6	3.3V
PIN17	IO2_L50N	V9	3.3V	PIN18	IO2_L53N	Y6	3.3V
PIN19	IO2_L45P	AA8	3.3V	PIN20	IO2_L48P	Y7	3.3V
PIN21	IO2_L45N	AB8	3.3V	PIN22	IO2_L48N	AB7	3.3V
PIN23	GND	-	地	PIN24	GND	-	地
PIN25	IO2_L46P	W8	3.3V	PIN26	IO2_L47P	W9	3.3V
PIN27	IO2_L46N	V7	3.3V	PIN28	IO2_L47N	Y8	3.3V
PIN29	IO2_L44P	W10	3.3V	PIN30	IO2_L59N	R8	3.3V
PIN31	IO2_L44N	Y10	3.3V	PIN32	IO2_L59P	R9	3.3V
PIN33	IO2_L42P	V11	3.3V	PIN34	IO2_L43P	Y9	3.3V
PIN35	IO2_L42N	W11	3.3V	PIN36	IO2_L43N	AB9	3.3V
PIN37	IO2_L31P	AA12	3.3V	PIN38	IO2_L41P	AA10	3.3V
PIN39	IO2_L31N	AB12	3.3V	PIN40	IO2_L41N	AB10	3.3V
PIN41	GND	-	地	PIN42	GND	-	地
PIN43	IO2_L21P	Y15	3.3V	PIN44	IO2_L29P	W12	3.3V
PIN45	IO2_L21N	AB15	3.3V	PIN46	IO2_L29N	Y12	3.3V
PIN47	IO2_L19P	AA16	3.3V	PIN48	IO2_L40P	R11	3.3V
PIN49	IO2_L19N	AB16	3.3V	PIN50	IO2_L40N	T11	3.3V
PIN51	IO2_L17P	Y16	3.3V	PIN52	IO2_L20P	W14	3.3V
PIN53	IO2_L17N	W15	3.3V	PIN54	IO2_L20N	Y14	3.3V
PIN55	IO2_L16P	AA14	3.3V	PIN56	IO2_L18P	V13	3.3V
PIN57	IO2_L16N	AB14	3.3V	PIN58	IO2_L18N	W13	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	IO2_L14P	AA18	3.3V	PIN62	IO2_L15P	Y17	3.3V
PIN63	IO2_L14N	AB18	3.3V	PIN64	IO2_L15N	AB17	3.3V
PIN65	IO2_L6P	W18	3.3V	PIN66	IO2_L12P	U14	3.3V
PIN67	IO2_L6N	Y18	3.3V	PIN68	IO2_L12N	U13	3.3V
PIN69	IO1_L74P	T19	3.3V	PIN70	IO2_L5P	Y19	3.3V
PIN71	IO1_L74N	T20	3.3V	PIN72	IO2_L5N	AB19	3.3V
PIN73	IO1_L60P	W20	3.3V	PIN74	IO1_L61P	L17	3.3V

PIN75	IO1_L60N	W22	3.3V	PIN76	IO1_L61N	K18	3.3V
PIN77	GND	-	地	PIN78	GND	-	地
PIN79	IO1_L53P	M19	3.3V	PIN80	IO1_L59P	P19	3.3V
PIN81	IO1_L53N	N19	3.3V	PIN82	IO1_L59N	P20	3.3V
PIN83	IO1_L51P	U20	3.3V	PIN84	IO1_L52P	V21	3.3V
PIN85	IO1_L51N	U22	3.3V	PIN86	IO1_L52N	V22	3.3V
PIN77	IO1_L49P	R20	3.3V	PIN88	IO1_L50P	T21	3.3V
PIN89	IO1_L49N	R22	3.3V	PIN90	IO1_L50N	T22	3.3V
PIN91	IO1_L47P	N20	3.3V	PIN92	IO1_L48P	P21	3.3V
PIN93	IO1_L47N	N22	3.3V	PIN94	IO1_L48N	P22	3.3V
PIN95	GND	-	地	PIN96	GND	-	地
PIN97	IO1_L45P	L20	3.3V	PIN98	IO1_L46P	M21	3.3V
PIN99	IO1_L45N	L22	3.3V	PIN100	IO1_L46N	M22	3.3V

图 2-7-2 为 P2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

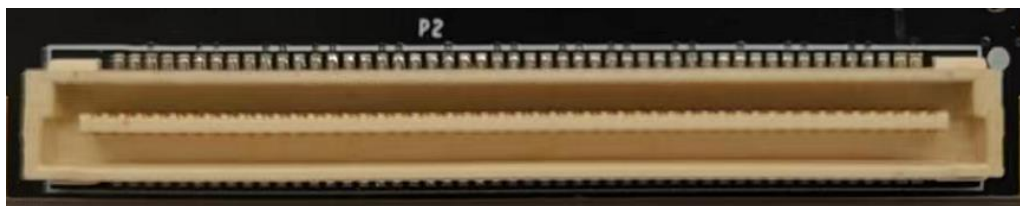


图 2-7-2 P2 扩展口连接器的实物图

(八) 电源

P50G 核心板供电电压为 VCCIN，输入电压为 5V，可通过连接器 P1 供电，连接底板时通过底板供电。如果需要单独调试核心板的话，用户也可以通过核心板的 Mini USB 口 (J2) 单独给核心板供电，用户只要一根我们提供的 Mini USB 线连接到电脑的 USB 口就可以了。(注意：底板供电或者 J2 供电只能二选一)

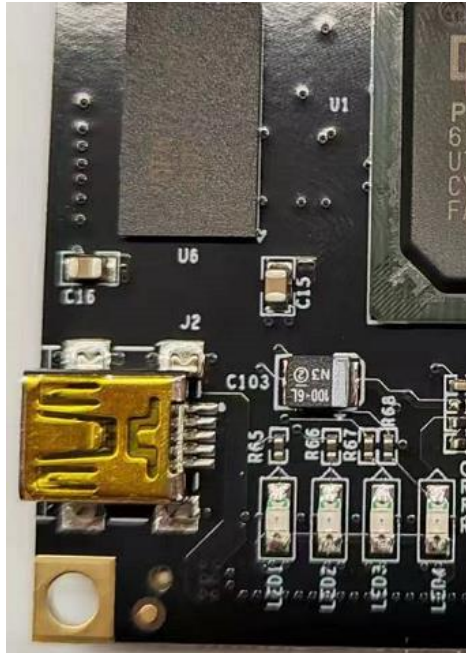


图 2-8-1 P 供电 USB 实物图

板上的电源设计示意图如下图 2-8-2 所示:

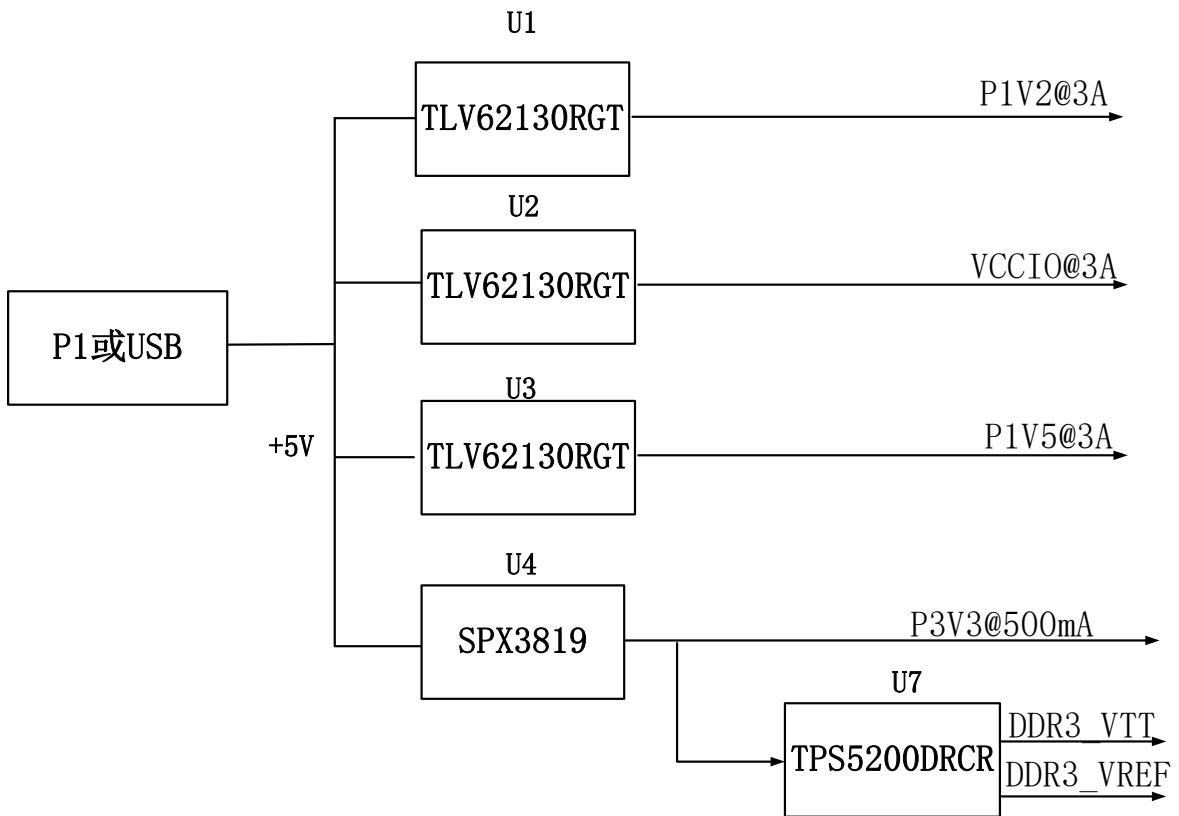


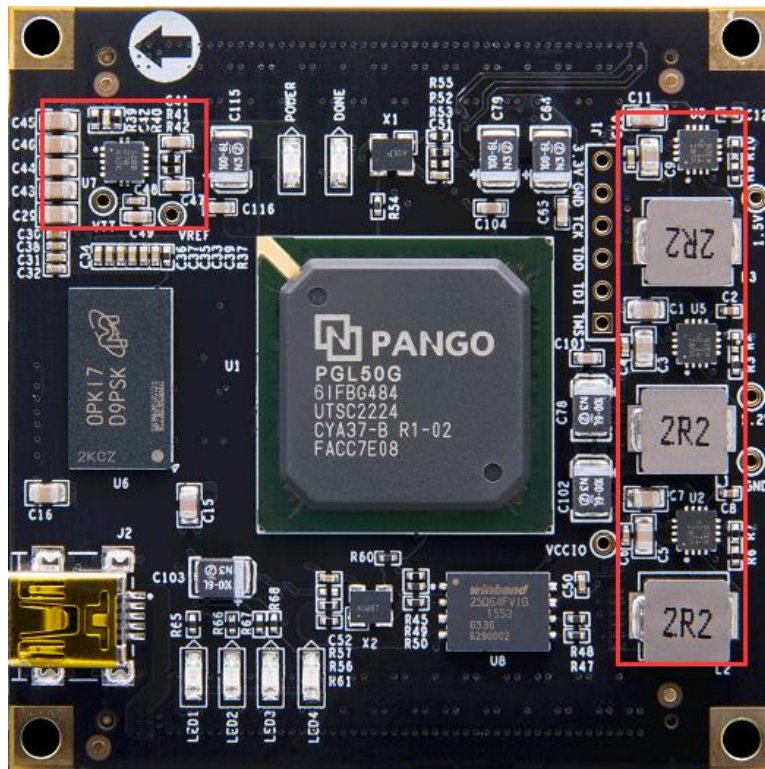
图 2-8-2 原理图中电源树

核心板通过+5V 供电, 通过 3 路 DC/DC 电源芯片 TLV62130RGT 转化成+1.2V, +3.3V、+1.5V 三路电源, 每路路输出电流可高达 3A。分给 FPGA 内核、BANKIO 和 DDR3 供电。其中 3.3V 的 VCCIO 的电压可调, 用户可以通过修改电源电阻的阻值调整电压, 使得 B0 和 B2 的 IO 适应不同的电压标准。SP3819 产生各路外设需要的电源, TI 的 TPS51200 电源生成

DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

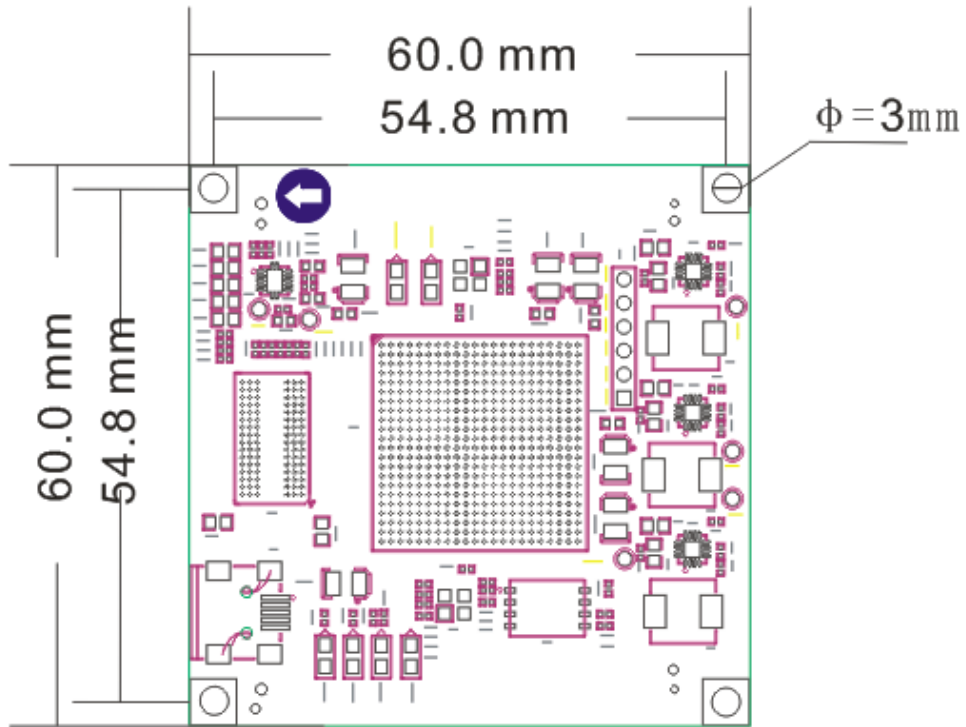
电源网络	功能
VCCIO	FPGA BANK B0、B1 和 B2 的 VCCIO
P1V2	FPGA 的核心电压
P1V5	DDR3, FPGA B3
DDR3_VREF, DDR3_VTT	DDR3
P3V3	FPGA 辅助电源, QSIP FLASH, Clock 晶振平

P50G 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。

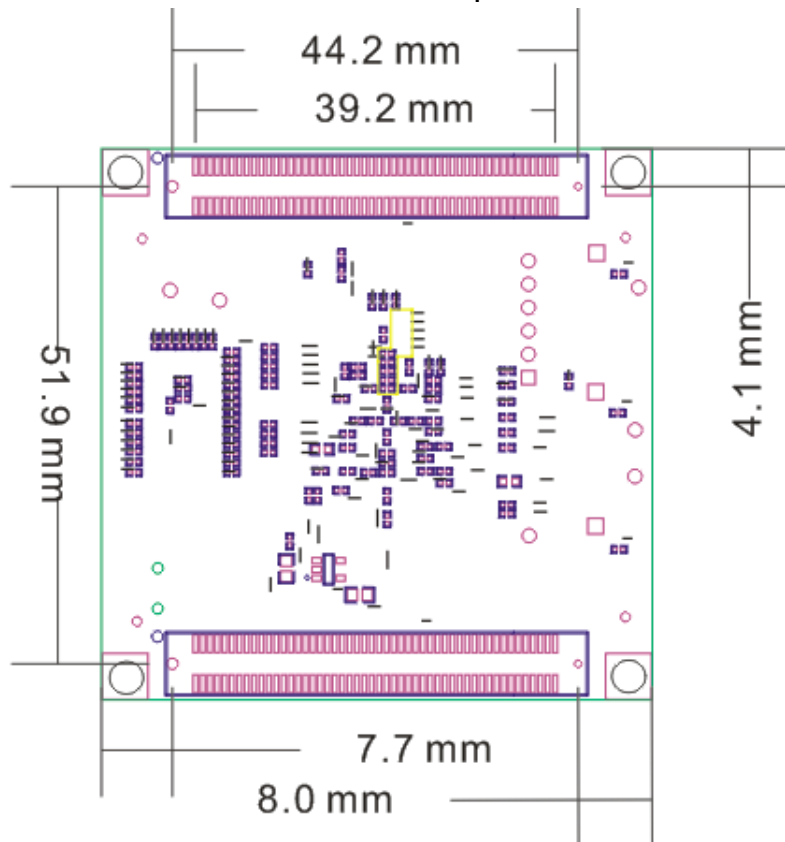


2-8-3 核心板电源部分实物图

(九) 结构图



2-9-1 正面图 (Top View)



2-9-2 背面图 (Bottom View)